

11 Übungs- und Klausuraufgaben

Dieses Kapitel enthält eine Vielzahl von Aufgaben unterschiedlichen Schwierigkeitsgrades. Sie gehören zum Stoff der Vorlesungen Digitaltechnik 1 und 2 und sind nach verschiedenen Themengruppen geordnet.

11.1 Themengruppe 'A': Synthese (u. Vereinfachung) von Digitalschaltungen

Aufgabe A1

A1 In einem Unternehmen soll die Belegung der Telefon-Amtsleitungen A, B, C überwacht werden. Hierzu ist eine Funktionsschaltung zu entwerfen, die nachfolgenden Bedingungen entspricht:

- Die grüne Signallampe L_1 leuchtet dann, wenn nur eine einzige Leitung benutzt wird.
- Die gelbe Lampe L_2 leuchtet bei Belegung von genau zwei Leitungen.
- Die rote Lampe L_3 soll die Belegung aller drei Leitungen signalisieren.

- A1.1 Stellen Sie eine Funktionstabelle auf, die alle möglichen Kombinationen der log. Variablen A, B, C erkennen läßt.
- A1.2 Die Schaltung ist mit Hilfe logischer Grundgatter (Inverter, AND, OR) zu realisieren (Skizze). Wieviel Elemente werden benötigt?
- A1.3 Mit Hilfe der grafischen Methode nach Karnaugh (KV-Diagramme) sind die Schaltgleichungen zu minimieren.
- A1.4 Die Schaltung ist in minimierter Form mit Hilfe logischer Grundgatter (Inverter, AND, OR) zu realisieren (Skizze). Wieviel Elemente werden jetzt benötigt?
- A1.5 Die minimierten Schaltgleichungen sind mit gleichartigen Funktionsgattern (ausschließlich NAND bzw. NOR) zu realisieren.
- A1.6 Diskutieren Sie verschiedene mögliche Realisierungen der Schaltung unter technischen und wirtschaftlichen Gesichtspunkten.

Aufgabe A2

A2 In einem Kraftwerk sind vier Speisewasserpumpen A, B, C, D vorhanden und normalerweise gleichzeitig in Betrieb. Jede Pumpe besitzt einen Ruhestromüberwachungskreis, der den Ausfall der betreffenden Pumpe signalisiert (Ausfall = log. 0). Eine Funktionsschaltung ist zu entwickeln, die folgende Anforderungen abdeckt:

- Bei Ausfall von mind. einer Pumpe ist eine Warnungsmeldung W zu geben.
- Bei Ausfall von zwei oder mehr Pumpen soll eine Störungsmeldung S abgegeben werden.

- A2.1 Es ist eine Funktionstabelle aufzustellen, die alle möglichen Kombinationen der log. Variablen A, B, C, D enthält.
- A2.2 Die Schaltung ist mit Hilfe logischer Grundelemente (Inverter, AND, OR) zu realisieren (Skizze). Wieviel Funktionselemente werden benötigt?
- A2.3 Mit Hilfe der grafischen Methode nach Karnaugh-Veitch (KV-Diagramme) sind die Schaltgleichungen zu minimieren.
- A2.4 Die Schaltung ist in minimierter Form mit Hilfe logischer Grundgatter (Inverter, AND, OR) zu realisieren (Skizze). Wieviel Elemente werden jetzt benötigt?
- A2.5 Die Realisierung der minimierten Schaltgleichungen soll ausschließlich mit Hilfe von NAND- bzw. NOR-Funktionselementen erfolgen.

Aufgabe A3

A3 Nachfolgende Funktionsgleichung sei gegeben:

$$Y = (a \wedge b) \vee (a \wedge c) \vee (b \wedge c)$$

A3.1 Die Funktion ist zu realisieren unter ausschließlicher Verwendung von UND- bzw. ODER-Gattern (Skizze!).

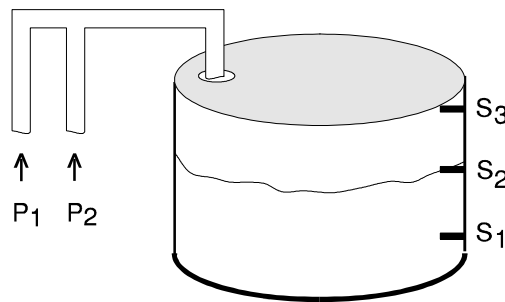
A3.2 Die Funktion soll ausschließlich mit NAND-Gattern realisiert werden (Skizze!).

A3.3 Die Realisierung soll ausschließlich mit NOR-Gattern erfolgen (Skizze!).

A3.4 Welche Realisierung A3.1 bis A3.3 erfordert den geringsten technischen Aufwand?

Aufgabe A4

A4 Gegeben sei der nachfolgend skizzierte Wasserbehälter, der über zwei Pumpen P_1 und P_2 gespeist wird, wobei P_1 die größere Förderleistung besitzt. Der Wasserstand im Behälter wird über drei Schwimmerschalter S_1 , S_2 , S_3 überwacht, die sich in verschiedener Höhe befinden. Es ist eine Schaltung zu entwickeln, die folgende Anforderungen abdeckt:



- Bei Wasserständen unter S_1 sollen beide Pumpen P_1 und P_2 fördern.
- Bei Wasserständen zwischen S_1 und S_2 soll nur P_1 laufen.
- Liegt der Wasserstand zwischen S_2 und S_3 , so soll ausschließlich P_2 arbeiten.
- Liegt der Wasserstand oberhalb von S_3 , so soll keine Pumpe laufen.

A4.1 Es ist eine Funktionstabelle aufzustellen, die obigen Bedingungen entspricht.

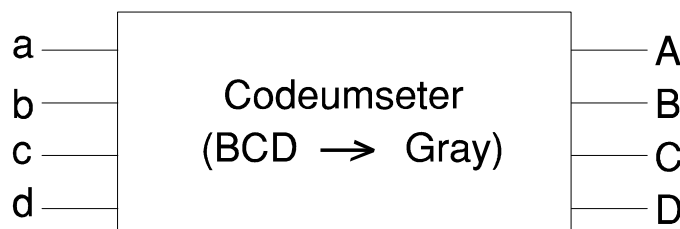
A4.2 Mit Hilfe der grafischen Methode nach Karnaugh (KV-Diagramme) sind die Schaltgleichungen zu minimieren.

A4.3 Die Schaltung ist in minimierter Form mit Hilfe logischer Grundgatter (NICHT, UND, ODER) zu realisieren (Skizze!).

A4.4 Die Schaltungsrealisierung soll ausschließlich mit NAND-Funktionselementen erfolgen (Skizze!).

Aufgabe A5

A5 Gegeben sei nachfolgendes Schaltnetz, welches die Aufgabe hat, codierte Dezimalziffern im 8-4-2-1-Code in den Gray-Code umzuwandeln.



Das Bildungsgesetz für den Gray-Code ergibt sich aus der Funktionstabelle:

	8-4-2-1-Code				Gray-Code			
Zustand	d	c	b	a	D	C	B	A
0	0	0	0	0	0	0	0	0
1	0	0	0	1	0	0	0	1
2	0	0	1	0	0	0	1	1
3	0	0	1	1	0	0	1	0
4	0	1	0	0	0	1	1	0
5	0	1	0	1	0	1	1	1
6	0	1	1	0	0	1	0	1
7	0	1	1	1	0	1	0	0
8	1	0	0	0	1	1	0	0
9	1	0	0	1	1	1	0	1
10	Pseudo-Tetraden							
11								
12								
13								
14								
15								

- A5.1 Mit Hilfe grafischer Verfahren (KV-Diagramme) sind die Funktionsgleichungen zu minimieren, wobei die Zustände 10 - 15 (Pseudotetraden) als don't care-Bedingungen mit herangezogen werden können.
- A5.2 Die minimierten Funktionsgleichungen sind mit Hilfe logischer Gatterschaltungen (Inverter, UND, ODER) zu realisieren (Skizze!).

Aufgabe A6

A6 In einem Unternehmen befinden sich vier Maschinen, die von Elektromotoren mit folgenden Leistungsaufnahmen angetrieben werden:

- Motor A: $P_1 = 6 \text{ kW}$
- Motor B: $P_2 = 8 \text{ kW}$
- Motor C: $P_3 = 12 \text{ kW}$
- Motor D: $P_4 = 15 \text{ kW}$

Es ist eine Schaltung zur Netzüberwachung zu entwickeln, die dann ein Warnsignal $W_1 = 1$ abgibt, wenn die Gesamtaufnahme aus dem Netz $P_{ges} \geq 25 \text{ kW}$ erreicht oder überschreitet, sowie zusätzlich ein Warnsignal $W_2 = 1$ bei Erreichen bzw. Überschreiten von $P_{ges} \geq 30 \text{ kW}$.

- A6.1 Es ist eine Funktionstabelle aufzustellen, die obige Zusammenhänge erkennen läßt.
- A6.2 Die sich ergebenden Schaltgleichungen für W_1 bzw. W_2 sind mit Hilfe der grafischen Methode nach Karnaugh (KV-Diagramme) auf Vereinfachungsmöglichkeiten zu überprüfen.
- A6.3 Die Schaltungen für W_1 bzw. W_2 sind in minimierter Form zu realisieren.
- A6.4 Die Realisierung soll ausschließlich mit NOR-Funktionselementen erfolgen.

Aufgabe A7

A7 Es ist die Steuerung eines einfachen Lastenaufzuges für drei Etagen zu entwerfen, wobei folgende Bedingungen gegeben sein sollten:

- In jeder Etage befindet sich ein Rufknopf R_n (R_1, R_2, R_3 mit $R_n = 1$: "Ruf") sowie ein Etagemelder E_n (E_1, E_2, E_3 mit $E_n = 1$: Letzte Fahrstuhlposition).
- Die Richtungssignale für den Antriebsmotor $M_U = 1$ (aufwärts) bzw. M_D (abwärts) sollen den Rufen entsprechend gebildet werden.
- Liegt kein Ruf vor ($R_n = 0$), so soll sich der Antriebsmotor in Ruhe befinden; ebenso bei einem Ruf aus einer Etage, in der sich die Aufzugskabine befindet.
- Steht die Aufzugskabine in der zweiten Etage ($E_2 = 1$) und erfolgen gleichzeitig Rufe aus der ersten und dritten Etage ($R_1 = 1$ und $R_3 = 1$) gilt die Abwärtsrichtung vorrangig.

- A7.1 Es ist eine Funktionstabelle für M_U bzw. M_D aufzustellen, die alle sinnvollen Kombinationen von R_n bzw. E_n berücksichtigt.
- A7.2 Die Schaltgleichungen für M_U bzw. M_D sind zu vereinfachen.
- A7.3 Die Schaltung ist zu realisieren.

Aufgabe A8

- A8 In einer Schaltwarte kommen vier Störungsmeldungen a, b, c, d an, deren Dringlichkeit (Priorität) von a nach d abnimmt. Die Störungen sollen mit vier Lampen A, B, C, D so signalisiert werden, daß jeweils nur die beiden Störungsmeldungen mit der höchsten Priorität angezeigt werden.
- A8.1 Für die o.a. Bedingungen ist eine Funktionstabelle aufzustellen, die die Zusammenhänge erkennen läßt.
- A8.2 Die sich ergebenden Schaltgleichungen sind anzugeben und mit Hilfe der grafischen Methode nach Karnaugh (KV-Diagramme) zu minimieren.
- A8.3 Die minimierten Schaltgleichungen sind zu realisieren.
- A8.4 Die Realisierung soll ausschließlich mit NAND-Gattern erfolgen.

Aufgabe A9

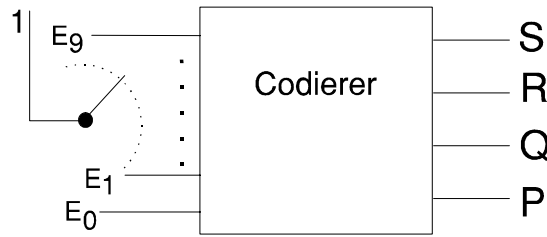
- A9 Es ist eine Vergleichsschaltung für die beiden 2-stelligen Dualzahlen A mit a_1a_0 bzw. B mit b_1b_0 zu entwickeln, die folgende Ausgangsgrößen liefert:

$$\begin{aligned} X &= 1 \text{ für } A < B \\ Y &= 1 \text{ für } A = B \\ Z &= 1 \text{ für } A > B \end{aligned}$$

- A9.1 Es ist eine Funktionstabelle aufzustellen, die die Zusammenhänge zwischen den Zahlen A bzw. B (jeweils zwei Bitstellen !) und den Ausgangsgrößen erkennen läßt.
- A9.2 Die sich ergebenden Schaltgleichungen sind anzugeben und zu minimieren.
- A9.3 Die minimierten Schaltgleichungen sind zu realisieren.

Aufgabe A10

- A10 Eine Codierschaltung, wie abgebildet, soll die Position eines Drehschalters mit den Schalterstellungen 0 bis 9 in den BCD-Code überführen (8-4-2-1-Code). 'P' entspricht hierbei der niederwertigsten (LSB), 'S' der höchstwertigen (MSB) Bitstelle.



- A10.1 Stellen Sie eine Funktionstabelle auf, die die Zusammenhänge erkennen läßt.
- A10.2 Die sich ergebenden Schaltgleichungen sind anzugeben und ggf. zu minimieren.
- A10.3 Die minimierten Schaltgleichungen sind ausschließlich mit NAND-Gattern zu realisieren.

Aufgabe A11

A11 Entwickeln Sie die Vorbereitungslogik für einen Synchronzähler, der drei D-Flipflops enthält und zyklisch im nachfolgenden Code zählt:

A	B	C
0	0	0
0	0	1
0	1	0
0	1	1
1	0	0

- A11.1 Die Gleichungen für die Vorbereitungseingänge D_1, D_2, D_3 der Flipflops FF_1 bis FF_3 sind anzuschreiben und zu minimieren.
- A11.2 Die vollständige logische Schaltung ist zu skizzieren, wobei die Vorbereitungslogik mit NAND-Gattern zu realisieren ist.

Aufgabe A12

A12 Gegeben ist ein "moderner" Getränkeautomat mit vier Bedienungsknöpfen 'K' (Kaffee), 'M' (Milch), 'C' (Kognak), 'W' (Whisky). Entwerfen Sie eine digitale Steuerung, die folgende Möglichkeiten bietet:

- Betätigung ausschließlich 'K': Kaffee schwarz, Ventil 'U'
- Betätigung 'K' mit 'M' : Milchkaffee Ventil 'V'
- Betätigung ausschließlich 'M': Milch Ventil 'W'
- Betätigung 'K' mit 'C' : Kaffee mit Kognak, Ventil 'X'
- Betätigung 'K' mit 'W' : Kaffee mit Whisky, Ventil 'Y'

Die Kombinationen "Milchkaffee mit Kognak und/oder Whisky" sowie "Kaffee mit Kognak mit Whisky" sowie "Kognak mit Whisky" und "nur Kognak" bzw. "nur Whisky" dürfen nicht zu einer Getränkeausgabe führen.

- A12.1 Bitte entwerfen Sie eine Funktionstabelle für die Steuerung der Ventile 'U','V','W','X'.
- A12.2 Die entsprechenden Schaltungen sind in NAND-Logik zu realisieren.

Aufgabe A13

A13 Es ist eine Digitalschaltung zu entwickeln und darzustellen, die eine sichere, prellfreie Impulsgebung von mechanisch betätigten Schaltelementen ermöglicht.

A13.1 Bei Betätigung des Schalters (S=1) soll der Ausgang der Digitalschaltung L-Potential, bei offener Schalterstellung (S=0) H-Potential führen. Die Schaltung soll ausschließlich mit NOR-Gattern und ggf. Widerständen aufgebaut werden.

A13.2 Die Digitalschaltung ist so zu erweitern, daß eine galvanische Trennung zwischen Schalterpotentialen und Digitalschaltung erreicht wird. Bitte Skizze! Welche Prüfspannungen besitzen derartige Entkoppelelemente?

Aufgabe A14

A14 Auf rein digitalem Weg soll die Funktion einer monostabilen Kippstufe realisiert werden. Eine L → H-Flanke am Eingang der Schaltung soll einen Impuls von 170 ns Dauer am Ausgang liefern.

14.1 Welche Schaltung verwenden Sie, wenn ausschließlich NOR-Gatter der Logiktechniken 'TTL' bzw. 'CMOS' zu Verfügung stehen? Bitte Skizze !

14.2 Wieviel Gatter werden von jeder Technik benötigt ?

Aufgabe A15

A15 Gegeben ist im KV-Diagramm die Funktion $P = f(A,B,C,D)$ für eine Prüfschaltung für BCD- codierte Zeichen.

		A		\bar{A}		
B		1		1		\bar{D}
	1		1			D
\bar{B}		1		1		
	1		1			\bar{D}
	\bar{C}		C		\bar{C}	

A15.1 Die Funktionsgleichung ist in der disjunktiven Normalform darzustellen und ggf. zu vereinfachen.

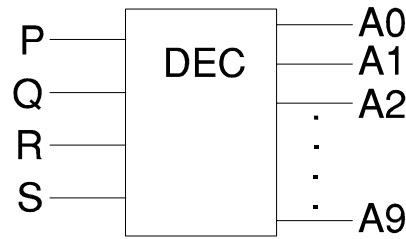
A15.2 Die Gleichung $P = f(A,B,C,D)$ ist so umzuformen, daß eine Realisierung ausschließlich mit Äquivalenz-Gattern möglich wird.

A15.3 Besitzt die Schaltung praktische Bedeutung? Falls ja, welche?

Aufgabe A16

A16 Eine Decodierschaltung wie abgebildet soll die mit 4 Bit codierten Signale im Aiken-Code ('P' = niederwertigste, 'S' = höchstwertige Bitstelle) decodieren, so daß an den Ausgängen A_0 bis A_9 die jeder Ziffer entsprechenden Signale gebildet werden.

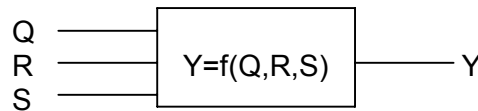
Hinweis: Der Aiken-Code wird gebildet, indem der Dualcode bis einschließlich Ziffer '4' benutzt wird. Ziffer '5' entsteht durch Negation von '4', die übrigen durch weiterzählen.



- A16.1 Stellen Sie eine Funktionstabelle auf, die die Zusammenhänge erkennen läßt.
- A16.2 Die sich ergebenden Schaltgleichungen sind anzugeben und ggf. zu minimieren.
- A16.3 Die minimierten Schaltgleichungen sind ausschließlich in NOR-Technik zu realisieren

Aufgabe A17

A17 Mit der nachfolgenden logischen Schaltung



sollen abhängig von der Variablen S die folgenden Funktionen gebildet werden:

$$S = 0: \quad Y = (Q \cdot \overline{R}) + (\overline{Q} \cdot R) \qquad S = 1: \quad Y = \overline{Q \cdot R}$$

- A17.1 Es soll eine Schaltung entworfen werden, die beliebige Gatter mit zwei Eingängen und ggf. NICHT-Schaltungen (Inverter) enthält.
- A17.2 Das log. Verhalten der Schaltung nach 4.1 ist in einer Funktionstabelle (Wahrheitstafel) zu dokumentieren. Es ist eine Schaltgleichung in NOR-Form anzugeben.

Aufgabe A18

A18.1 Eine Prüfschaltung für den 2- aus 5-Code ist zu entwickeln. Hierbei soll mit dem Fehlersignal E = 1 ein ungültiger Code angezeigt werden.

Ziffer	Code				
	P	O	N	M	L
0	1	1	0	0	0
1	0	0	0	1	1
2	0	0	1	0	1
3	0	0	1	1	0
4	0	1	0	0	1
5	0	1	0	1	0
6	0	1	1	0	0
7	1	0	0	0	1
8	1	0	0	1	0
9	0	1	0	0	0

- A18.1 Die Schaltgleichung $E = f(L,M,N,O,P)$ ist aufzustellen u. ggf. zu vereinfachen.
Hinweis: Wählen Sie zweckmäßigerweise eine Form, die möglichst wenig Terme enthält.
- A18.2 Realisieren Sie die Schaltung in NAND-Technik.

A18.3 Schätzen Sie den Aufwand an integrierten Standardbauelementen der Lösung gemäß A18.2 und vergleichen diesen mit einer PLD-Lösung. Sie verwenden ein PLD des Typs PROM. Welche Kapazität und Organisation eines PROM-Bausteins wären hierfür notwendig ?

Aufgabe A19

A19 Für einen Mikroprozessor mit $U_B = +5V$ soll eine Digitalschaltung zur Taktversorgung (Taktgenerator) mit $f = 5\text{ MHz}$ bei einem **Tastverhältnis von 33%** entwickelt werden. Folgende Komponenten stehen zu Verfügung: 1 Schwingquarz beliebiger Frequenz, JK-Flipflops, Gatter, Inverter (log. NICHT)

A19.1 Skizzieren Sie unter Verwendung der o.g. Komponenten einen möglichst einfachen Lösungsvorschlag.

A19.2 Zeigen Sie mit Hilfe eines Impuls-Zeit-Diagramms, daß ein unsymmetrisches Taktsignal mit dem benötigten Tastverhältnis erzeugt wird.

A19.3 Welche Schaltungsfamilie würden Sie für diese Aufgabe einsetzen (kurze Begründung !)

Aufgabe A20

A20 Die folgende Schaltgleichung ist auf Normalform zu erweitern bzw. umzuformen und mit Hilfe des verbesserten Verfahrens nach Quine-McCluskey zu minimieren:

$$Y = (\overline{A} \cdot B \cdot C) + B \cdot ((\overline{A} \cdot C \cdot D) + (A \cdot C \cdot \overline{D})) + (\overline{A} \cdot \overline{B} \cdot C \cdot D) + (A \cdot \overline{B} \cdot \overline{C}) + (A \cdot B \cdot C \cdot D)$$

A20.1 Ermitteln Sie mit Hilfe der entsprechenden Tabellen die Primterme der Funktion.

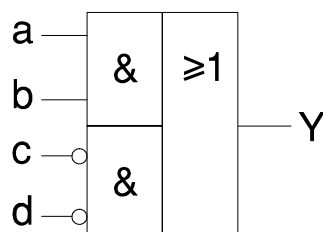
A20.2 Das Überdeckungsdiagramm ist zu skizzieren.

A20.3 Anhand der minimalen Überdeckung nach A20.2 ist die minimierte Funktion zu bestimmen.

11.2 Themengruppe 'B': Analyse (u. Vereinfachung) von Digitalschaltungen

Aufgabe B1

B1 Gegeben ist die nachfolgende Anordnung von logischen Gatterelementen:



B1.1 Die Funktion Y ist in der dargestellten Form zu ermitteln.

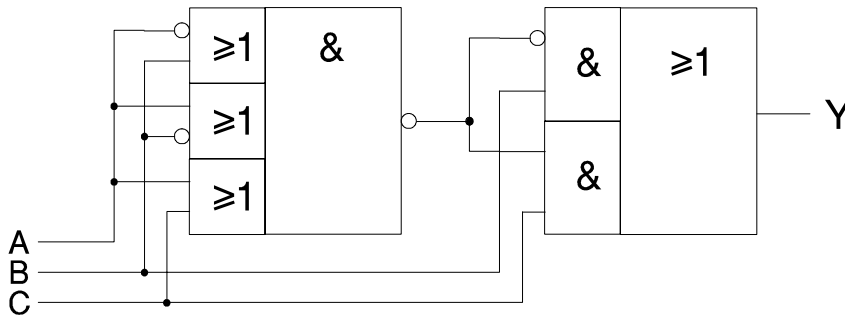
B1.2 Der Ausdruck ist so umzuformen, daß die Realisierung ausschließlich mit NAND-Gattern erfolgt (Skizze!).

B1.3 Die Realisierung soll ausschließlich mit NOR-Gattern durchgeführt werden.

- B1.4 Die Funktion Y ist im KV-Diagramm darzustellen.
- B1.5 Die Funktion Y ist als Wahrheitstabelle anzugeben.

Aufgabe B2

B2 Gegeben ist die nachfolgende logische Schaltung der 3 Variablen A, B, C.



- B2.1 Die Funktion $Y = f(A, B, C)$ ist zu ermitteln.
- B2.2 Die Funktion Y ist im KV-Diagramm darzustellen und ggf. zu vereinfachen.
- B2.3 Die vereinfachte Funktion ist ausschließlich mit NOR-Gattern zu realisieren.

Aufgabe B3

B3 Gegeben ist die Funktion $Z = f(O, P, Q, R)$ im KV-Diagramm:

		O			
				\bar{O}	
P	1		x		R
	1			x	\bar{R}
\bar{P}	1				
	x	1	1		R
	Q	\bar{Q}		Q	

- B3.1 Die Funktion ist in kanonischer disjunktiver Normalform KDNF darzustellen (Nebenbedingung: $x = 0$).
- B3.2 Die Funktion ist zu minimieren, wobei die Felder mit "don't-care"-Bedingungen (d.h. $x = 1$, falls Vereinfachung möglich) mit zu verwenden sind.
- B3.3 Die Funktion ist ausschließlich mit NOR-Gattern zu realisieren.

Aufgabe B4

B4 Gegeben ist die nachfolgende Funktionsgleichung

$$U = (\bar{P} + \bar{Q} + \bar{R} + \bar{S}) \cdot (P + \bar{Q} + \bar{R} + \bar{S}) \cdot (\bar{P} + Q + \bar{R} + \bar{S}) \cdot (P + Q + \bar{R} + \bar{S}) \cdot (\bar{P} + \bar{Q} + R + S) \cdot (\bar{P} + Q + R + S)$$

- B4.1 In welcher Form liegt die o.a. Funktionsgleichung vor ?
- B4.2 Die Funktionsgleichung ist zu minimieren (algebraisch oder grafisch)
Hinweis: Verwenden Sie zweckmäßigerweise Kürzungsregeln !

Aufgabe B5

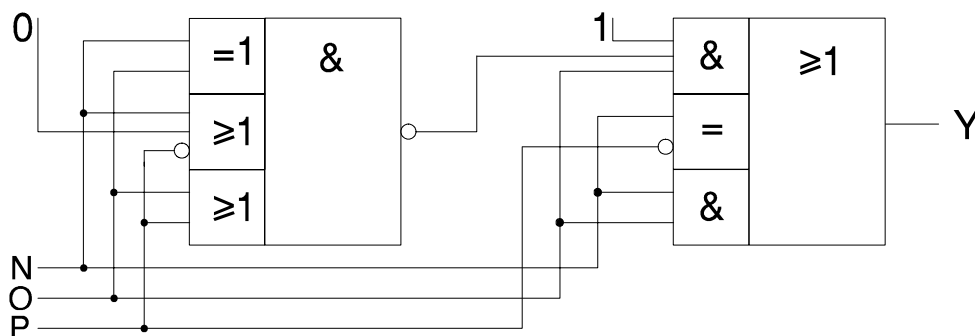
B5 Gegeben ist die Funktion $R = f(L, M, N, O)$ im KV-Diagramm

		L		\overline{L}		
M	X	1	1	1	1	O
				1		\overline{O}
\overline{L}		X	1			
		1			X	O
	N	\overline{N}		N		

- B5.1 Die Funktion ist in kanonischer konjunktiver Normalform KKNF darzustellen ($X=0$).
- B5.2 Die Funktion ist zu minimieren, wobei die "don't care"-Bedingungen X mit zu verwenden sind.
- B5.3 Die Funktion ist ausschließlich mit NAND-Gattern zu realisieren.

Aufgabe B6

B6 Gegeben ist die nachfolgende logische Schaltung der 3 Variablen N, O, P.



- B6.1 Die Funktion $Y = f(N, O, P)$ ist zu ermitteln.
- B6.2 Die Funktion Y ist im KV-Diagramm darzustellen und ggf. zu vereinfachen.
- B6.3 Die vereinfachte Funktion ist ausschließlich mit NAND-Gattern zu realisieren.

Aufgabe B7

B7 Gegeben sind die beiden KV-Diagramme für die Funktionen $A = f(U, V, W)$ und $B = f(U, V, W)$.

(A)

		U		\overline{U}	
V	1	1			1
\overline{V}	1				
	W	\overline{W}		W	

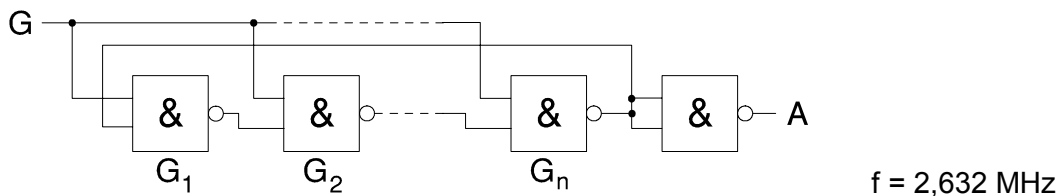
(B)

	U	\overline{U}	
V	1	1	
\overline{V}		1	1
W	\overline{W}		W

- B7.1 Die Funktionsgleichungen sind in der kanonischen disjunktiven Normalform KDNF darzustellen und ggf. zu vereinfachen.
- B7.2 Die Gleichung $A = f(U,V,W)$ ist so umzuformen, daß eine Realisierung ausschließlich mit NAND-Gattern möglich wird. $B = f(U,V,W)$ ist mit Äquivalenz-Gattern (ausschließlich!) zu realisieren.
- B7.3 Besitzt die Schaltung praktische Bedeutung? Falls ja, welche?

Aufgabe B8

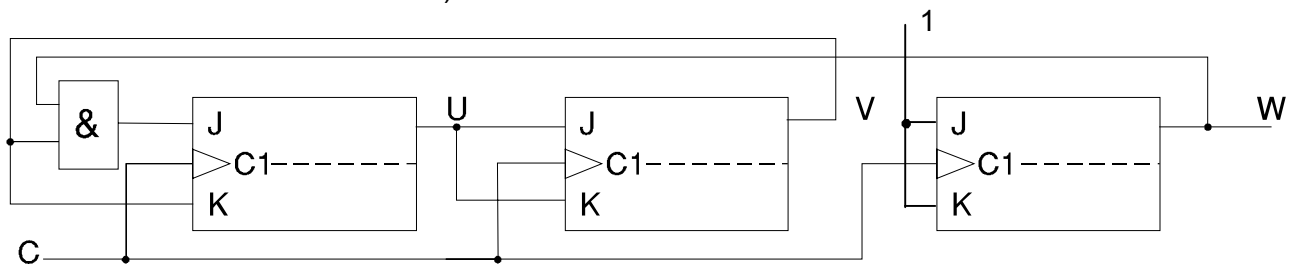
B8 Die nachfolgende Schaltung ist zu analysieren



- B8.1 Um welche Digitalschaltung handelt es sich ?
- B8.2 Welches logische Potential muß am Punkt 'G' angelegt werden, damit die Schaltung arbeiten kann.
- B8.3 Wieviel Gatterelemente G_1 bis G_n sind vorhanden bei TTL-Standardlogik und einer gemessenen Frequenz $f = 2,632$ MHz an der Ausgangsklemme 'A'.

Aufgabe B9

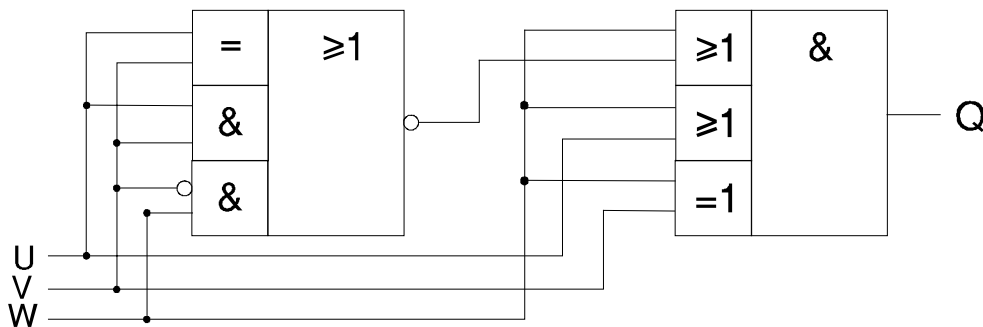
B9 Die folgende Schaltung ist zu analysieren. (Voraussetzung: beim Einschalten befinden sich alle FF im '0'-Zustand)



- B9.1 Um welche Schaltung handelt es sich ?
- B9.2 Bitte zeichnen Sie den zeitlichen Ablauf der Signale C,U,V,W (Signal-Zeit-Diagramm) für einen vollständigen Zyklus.
- B9.3 Die Analysetabelle der verwendeten FF ist anzugeben. Können auch D-FF alternativ verwendet werden ?

Aufgabe B10

B10 Gegeben ist die nachfolgende logische Schaltung der 3 Variablen U, V, W.



B10.1 Die Funktion $Q = f(U, V, W)$ ist zu ermitteln.

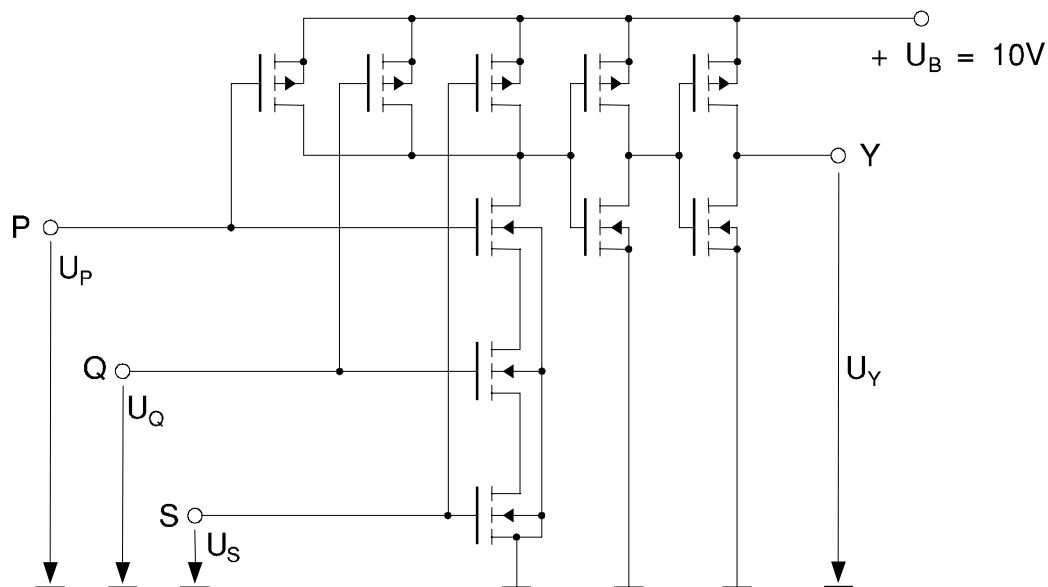
B10.2 Die Funktion Q ist im KV-Diagramm darzustellen und ggf. zu vereinfachen.

B10.3 Die vereinfachte Funktion ist ausschließlich mit NAND-Gattern zu realisieren.

11.3 Themengruppe 'C': Behandlung technischer Digitalschaltungen

Aufgabe C1

Die nachfolgende digitalelektronische Schaltung ist zu analysieren:



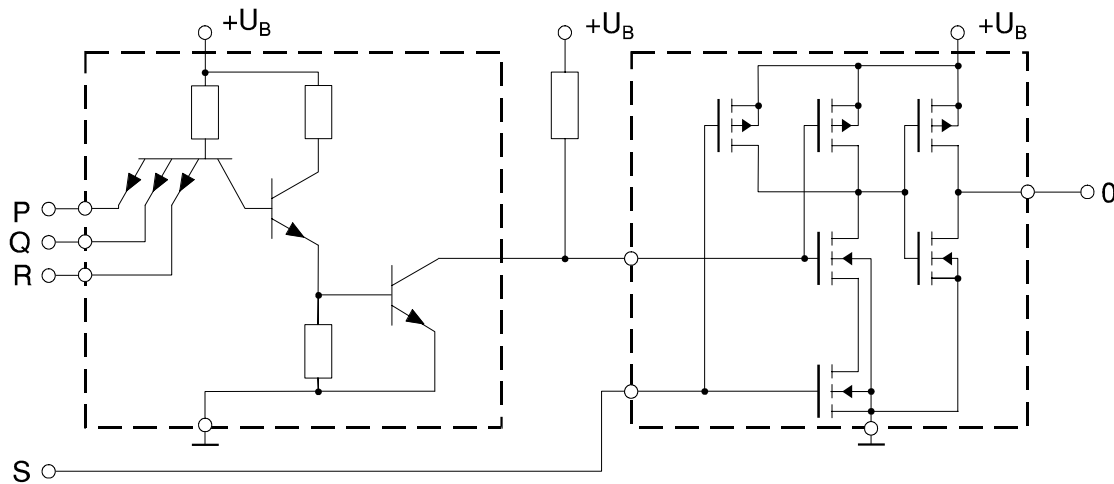
C1.1 Welche Bauelemente werden verwendet und zu welcher Schaltkreisfamilie gehört die Schaltung?

C1.2 Die Funktionstabelle $U = f(U_P, U_Q, U_S)$ ist zu ermitteln (jeweils L = 0 V, H = +U_B).

C1.3 Welche Funktion wird in negativer Logik dargestellt?

Aufgabe C2

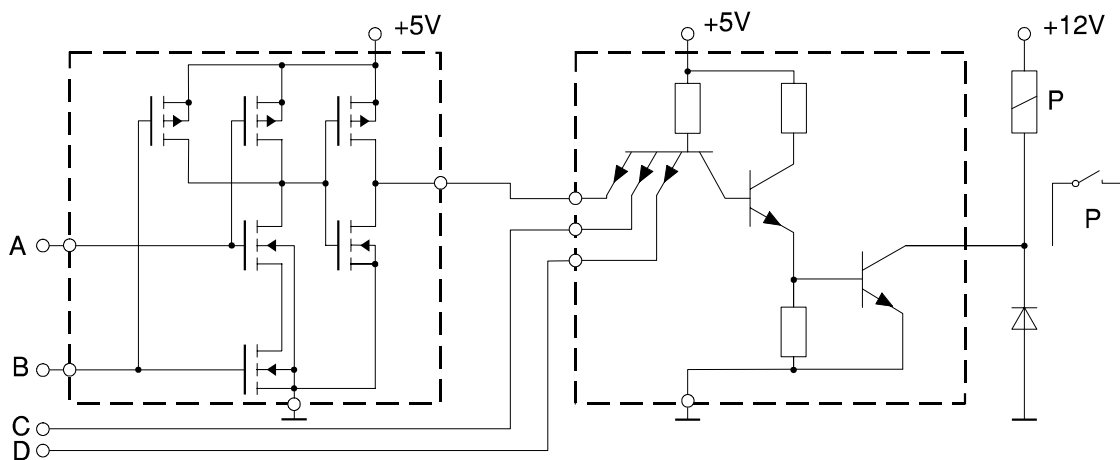
C2 Analysieren Sie die folgende digitalelektronische Schaltung:



- C2.1 Welche digitalen Schaltungsarten gelangen zur Anwendung ?
- C2.2 Die Funktionstabelle $O = f(P,Q,R,S)$ ist zu ermitteln, wobei negative Logik zugrunde gelegt werden soll.

Aufgabe C3

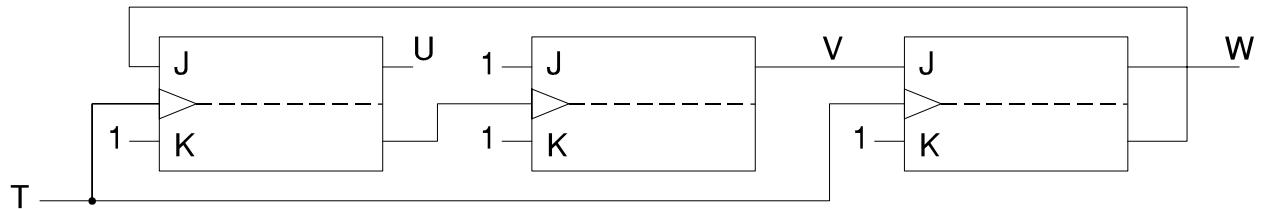
- C3 Die nachfolgende digitalelektronische Schaltung ist zu analysieren, wobei negative Logik vorausgesetzt wird.



- C3.1 Welche digitalen Schaltkreistechniken gelangen zur Anwendung ?
- C3.2 Bitte bestimmen Sie die Funktionsgleichung $p = f(A,B,C,D)$

Aufgabe C4

- C4 Die nachfolgende digitalelektronische Schaltung ist zu analysieren:



- C4.1 Um welche Digitalschaltung handelt es sich ?
- C4.2 Das Impusdiagramm bezüglich der Signale 'T', 'U','V','W' ist für einen vollständigen Ablauf zu skizzieren.
- C4.3 Welche Aufgabe/Funktion erfüllt die Schaltung, wenn man als Eingang 'T' und als Ausgang 'W' betrachtet ?

Aufgabe C5

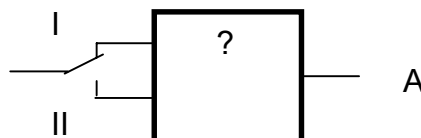
- C5 Die Vorbereitungslogik für einen Synchronzähler ist zu entwickeln. Dieser enthält vier D-Flipflops und soll als Aufwärtszähler im Aiken-Code entsprechend der Funktionstabelle zählen.

Ziffer	Code			
	D	C	B	A
0	0	0	0	0
1	0	0	0	1
2	0	0	1	0
3	0	0	1	1
4	0	1	0	0
5	1	0	1	1
6	1	1	0	0
7	1	1	0	1
8	1	1	1	0
9	1	1	1	1

- C5.1 Die Gleichungen für die Vorbereitungseingänge D1,D2,D3,D4 der Flipflops FF1 bis FF4 sind anzuschreiben und zu minimieren.
- C5.2 Die vollständige logische Schaltung ist zu skizzieren, wobei die Vorbereitungslogik mit NAND-Gattern zu realisieren ist.

Aufgabe C6

- C6 Es ist eine Digitalschaltung zu entwickeln und darzustellen, die eine sichere, prellfreie Impulsgabe von mechanisch betätigten Schaltelementen ermöglicht. Bei Schaltvorgängen darf daher jeweils nur eine Schaltflanke am Ausgang entstehen.



- C6.1 In Schalterstellung 'I' ("Aus") soll der Ausgang A der Digitalschaltung L-Potential, in Schalterstellung 'II' ("Ein") H-Potential führen. Die Schaltung soll ausschließlich mit NAND-Gattern und ggf. Widerständen aufgebaut werden.
- C6.2 Die Digitalschaltung ist so zu erweitern, daß eine galvanische Trennung zwischen Schalterpotentialen und Digitalschaltung erreicht wird. Bitte Skizze! Welche technischen Eigenschaften sind beim Einsatz dieser Entkoppelelemente zu beachten?

Aufgabe C7

- C7 Auf rein digitalem Weg soll die Funktion einer astabilen Kippstufe realisiert werden. Benötigt wird eine Frequenz von 1 MHz (+/- 1%).
- C7.1 Welche Schaltung verwenden Sie, wenn ausschließlich NAND-Gatter der Logiktechniken 'TTL' bzw. 'CMOS' (Standard) zu Verfügung stehen? Bitte Prinzipskizze !
- C7.2 Wieviel Gatter werden bei beiden Techniken benötigt ?

Aufgabe C8

- C8 Zeigen Sie durch entsprechende Schaltungserweiterung, wie aus einem Basis-Flip-Flop in NAND-Technik ein Taktflanken-gesteuertes JK-Flip-Flop entwickelt werden kann.
- C8.1 Zkizzieren Sie Schaltung und Analysetabelle des Basis-FF.
- C8.2 Die o.a. Erweiterungen sind ausschließlich mit NAND-Gattern auszuführen, wobei die ansteigende (L -> H) Taktflanke benutzt werden soll. Bitte Skizze u. Funktionstabelle !

Aufgabe C9

- C9 Ein GAL-Baustein vom Typ 16V8 ist so zu programmieren, daß ein 4-stufiger Synchronzähler, der vorwärts im Gray-Code zählt, gebildet wird.

Z	D	C	B	A
0	0	0	0	0
1	0	0	0	1
2	0	0	1	1
3	0	0	1	0
4	0	1	1	0
5	0	1	1	1
6	0	1	0	1
7	0	1	0	0
8	1	1	0	0
9	1	1	0	1

- C9.1 Für die Zählstellen 'C' sowie 'D' soll die Vorbereitungslogik entwickelt und vereinfacht werden. Die Schaltgleichungen sind in CUPL-Syntax anzugeben.
- C9.2 Die Schaltgleichungen nach C9.1 sind so zu erweitern, daß die Zählrichtung über das Steuersignal 'DI' beeinflusst werden kann (DI = 0: aufwärts, DI = 1: abwärts).

Aufgabe C10

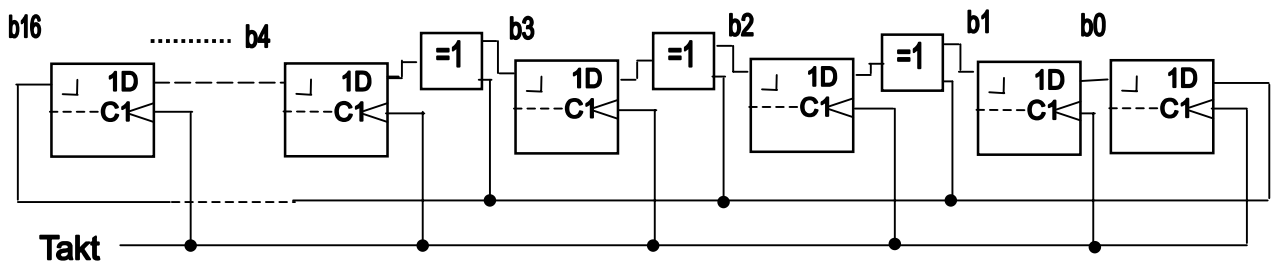
C10 Mit Hilfe eines PAL-Bausteins vom Typ 16L6 soll ein Adreßdecoder für die Auswahl von drei Adreßbereichen entwickelt werden, wobei die einzelnen Adreßsignale mit A0, A1,.. A19 bezeichnet werden. Die ausgangsseitigen CS-Signale sind als aktiv-L vereinbart, d.h. bei Auswahl eines entsprechenden Bereichs gilt: $CS_n = \overline{L(ow)}$, mit $1 = L$.

- CS0: Adreßbereich 0x00000 0x03FFF
- CS1: Adreßbereich 0x04000 0x07FFF
- CS2: Adreßbereich 0xFF000 0xFFFFF

- C10.1 Welche Unterschiede sind zu berücksichtigen, wenn statt eines PAL-Bausteins ein entsprechendes GAL verwendet wird ?
- C10.2 Entwickeln Sie die Schaltgleichungen $CS_0 = f(A_{19}, \dots A_n)$, $CS_1 = f(A_{19}, \dots A_n)$ und $CS_2 = f(A_{19}, \dots A_m)$ in PAL-Assemblerdarstellung.
- C10.3 In dem Logikdiagramm des 16L6 ist zu markieren, welche Sicherungen beim Programmiervorgang erhalten bleiben, wobei unbenutzte Produktterme ebenfalls zu markieren sind. Die Zuordnung der Anschlußkontakte soll so erfolgen, daß die benötigten Adreßleitungen in aufsteigender Reihenfolge zu verwenden sind (Anschluß '1' = niederwertigste verwendete Adreßleitung). Ausgänge: CS0 = '19', CS1 = '20', CS2 = '21'

Aufgabe C11

C11 Gegeben ist nachfolgende Schaltung, bestehend aus 16 D-Flipflops und 3 log. Funktionselementen.



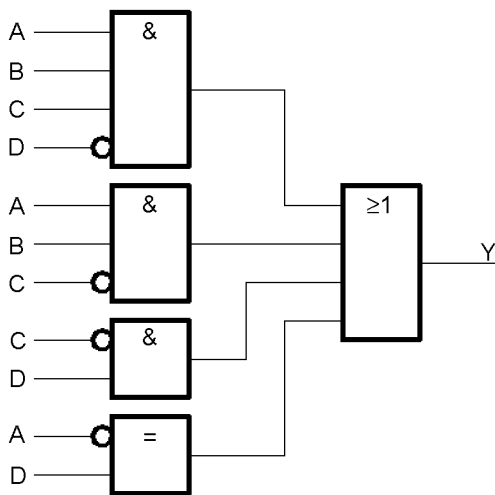
- C11.1 Welcher Gruppe von Digitalschaltungen ist die vorstehende Schaltung zuzuordnen ? Um welche Schaltung handelt es sich ?
- C11.2 Zeichnen Sie das Impuls-Zeit-Diagramm der Signale b16, b4, b3, b2, b1, b0 für 10 aufeinanderfolgende Takte unter der Voraussetzung daß in den 16 Flipflops der Wert 0xAA55 gespeichert war.
- C11.3 Nach wieviel Takten ist mit einer Wiederholung der in den Flipflops enthaltenen Zahlenwert zu rechnen ?

11.4 Themengruppe 'D': Aufgaben in Multiple Choice/Wissensfragen

Bei diesen Aufgaben ist jeweils eine Antwort zutreffend !

Aufgabe D1

D1 Welche Schaltgleichung entspricht der nachfolgenden Schaltung:



$$(a) Y = (A \cdot B \cdot C \cdot \overline{D}) + (A \cdot B \cdot \overline{C}) + (\overline{C} \cdot D) + (\overline{A} \cdot D) + (A \cdot \overline{D})$$

$$(b) Y = (A \cdot B \cdot C \cdot \overline{D}) + (A \cdot B \cdot \overline{C}) + (\overline{C} \cdot \overline{D}) + (\overline{A} \cdot \overline{D}) + (A \cdot D)$$

$$(c) Y = (A \cdot B \cdot C \cdot \overline{D}) + (A \cdot \overline{B} \cdot \overline{D}) + (\overline{B} \cdot D) + (A \cdot D) + (\overline{C} \cdot \overline{D})$$

Aufgabe D2

D2 Gegeben ist die folgende Schaltgleichung

$$Y = (A \cdot B \cdot C \cdot D) + (A \cdot B \cdot \overline{C} \cdot \overline{D}) + (\overline{A} \cdot \overline{B} \cdot \overline{C} \cdot \overline{D}) + (\overline{A} \cdot \overline{B} \cdot C \cdot D)$$

Welche der nachfolgenden Aussagen ist richtig:

- a) Die Schaltgleichung kann vereinfacht (minimiert) werden.
- b) Die Schaltgleichung liegt in Mintermform vor.
- c) Die Schaltgleichung liegt in kanonischer konjunktiver Normalform (KKNF) vor.

Aufgabe D3

D3 Wie müssen freie, d.h. unbenutzte Eingänge bei technischen NAND-Gattern beschaltet werden ?

- (a) Sie dürfen nicht beschaltet werden.
- (b) Sie müssen auf L-Pegel (log. 0) gelegt werden.
- (c) Sie werden auf H-Pegel (log. 1) gelegt.

Aufgabe D4

D4 Was versteht man unter dem Begriff „verdrahtet ODER“ (wired OR) bei digitaltechnischen Schaltelementen ?

- (a) In der Digitalerschaltung werden zwei Eingänge über ein ODER-Gatter verbunden.
- (b) Es handelt sich um eine spezielle Ausgangsbeschaltung von mit der Möglichkeit, über

externe Widerstände eine ODER-Verknüpfung zu realisieren.

(c) In der Schaltung ist eine optionale Steckbrücke (Jumper) verdrahtet.

Aufgabe D5

- D5 Ein digitales System soll ASCII-Zeichen mit gerader Parität (even parity) verarbeiten. Welches Bitmuster entspricht nach diesem Bildungsgesetz dem Buchstaben 'b' (0x62)?
- (a) 01100010
 - (b) 11100010
 - (c) 01100011

Aufgabe D6

- D6 In welchen Anwendungsbereichen werden einschrittige Codes (z.B. Gray Code) verwendet ?
- (a) Beim Aufbau von Rechenschaltungen.
 - (b) Bei der Datenübertragung im Bereich Multimedia.
 - (c) Bei der Abtastung von Codelinealen (Längen- bzw. Winkelinformationen).

Aufgabe D7

- D7 Welche Aussage bzgl. ASCII-/Unicode ist richtig ?
- (a) Bei ASCII werden 7 Bit verwendet, bei Unicode hingegen 14 Bit.
 - (b) Bei ASCII beträgt der Zeichenvorrat 128 Zeichen, bei Unicode können 65536 verschiedene Codes gebildet werden.
 - (c) Die Codierung in ASCII erfolgt mit 8 Bit, bei Unicode mit 24 Bit.

Aufgabe D8

- D8 Welche der folgenden Aussagen zur log. Zuordnung ist falsch ?
- (a) Bei positiver Logik wird dem el. H-Pegel der Wert 1 (True) zugeordnet
 - (b) Negative Logik setzt Bauelemente mit negativer Betriebsspannung voraus.
 - (c) Bei negativer Logik wird dem el. H-Pegel der Wert 0 (False) zugeordnet

Aufgabe D9

- D9 Welcher der folgenden Ausdrücke entspricht dem Distributivgesetz ?
- (a) $X_1 + X_2 + X_3 = X_1 + X_3 + X_2 = X_3 + X_1 + X_2$
 - (b) $X_1 + (X_2 \cdot X_3) = (X_1 + X_2) \cdot (X_1 + X_3)$
 - (c) $X_1 \cdot X_2 \cdot X_3 = (X_1 \cdot X_3) \cdot X_2 = (X_3 \cdot X_1) \cdot X_2$

Aufgabe D10

- D10 Welche Aussage bzgl. techn. Digitalschaltungen ist richtig ?
- (a) TTL-Schaltkreise enthalten Bauelemente des Typs MOS-FET und besitzen die geringste Verlustleistung pro Gatter.
 - (b) Die ECL-Technik ist die schnellste Standardlogik, besitzt jedoch die höchste Verlustleistung pro Gatter.
 - (c) Schaltungen in CMOS-Technik sind aufgebaut aus bipolaren Transistoren.

Aufgabe D11

D11 Gegeben ist die nachfolgende Schaltgleichung

$$Y = (\bar{J} + \bar{K} + \bar{L} + \bar{M}) \cdot (\bar{J} + \bar{K} + \bar{L} + \bar{M}) \cdot (\bar{J} + \bar{K} + \bar{L} + \bar{M}) \cdot (\bar{J} + \bar{K} + \bar{L} + \bar{M}) \cdot (\bar{J} + \bar{K} + L + M) \cdot (\bar{J} + \bar{K} + L + M) \cdot (\bar{J} + \bar{K} + L + M)$$

Die gegebene Funktionsgleichung ist mit Hilfe der Kürzungsregeln algebraisch zu minimieren.

Lösungsalternativen:

$$(a) Y_{\min} = (\overline{L} + \overline{M}) \cdot (\overline{K} + L + M) \cdot (J + L + M)$$

$$(b) Y_{\min} = (\overline{L} + \overline{M}) \cdot (K + \overline{L} + M) \cdot (\overline{J} + L + M)$$

$$(c) Y_{\min} = (\overline{L} + \overline{M}) \cdot (K + L + \overline{M}) \cdot (J + \overline{L} + M)$$

Aufgabe D12

D12 Zu der Gleichung nach D11 soll die (kanonische) disjunktive Normalform KDNF (Mintermform) gebildet werden.

Lösungsalternativen:

$$(a) Y = (J + K + \overline{L} + M) \cdot (\overline{J} + K + \overline{L} + M) \cdot (J + K + L + \overline{M}) \cdot (\overline{J} + K + L + \overline{M}) \cdot (J + \overline{K} + L + \overline{M}) \cdot (J + \overline{K} + \overline{L} + M) \cdot (\overline{J} + \overline{K} + L + \overline{M}) \cdot (J + \overline{K} + \overline{L} + M)$$

$$(b) Y = (\overline{J} \cdot \overline{K} \cdot \overline{L} \cdot \overline{M}) + (\overline{J} \cdot K \cdot \overline{L} \cdot \overline{M}) + (J \cdot K \cdot L \cdot \overline{M}) + (\overline{J} \cdot K \cdot L \cdot \overline{M}) + (J \cdot \overline{K} \cdot L \cdot \overline{M}) + (J \cdot \overline{K} \cdot \overline{L} \cdot \overline{M}) + (\overline{J} \cdot \overline{K} \cdot L \cdot \overline{M}) + (J \cdot \overline{K} \cdot \overline{L} \cdot M) + (\overline{J} \cdot K \cdot \overline{L} \cdot M)$$

$$(c) Y = (J \cdot K \cdot \overline{L} \cdot M) + (\overline{J} \cdot K \cdot \overline{L} \cdot M) + (J \cdot K \cdot L \cdot \overline{M}) + (\overline{J} \cdot K \cdot L \cdot \overline{M}) + (J \cdot \overline{K} \cdot L \cdot \overline{M}) + (J \cdot \overline{K} \cdot \overline{L} \cdot \overline{M}) + (\overline{J} \cdot \overline{K} \cdot L \cdot \overline{M}) + (J \cdot \overline{K} \cdot \overline{L} \cdot M) + (\overline{J} \cdot K \cdot \overline{L} \cdot M)$$

Aufgabe D13

D13 Gegeben ist eine Schaltfunktion $Y = F(A, B, C, D)$ durch ihre Darstellung im KV-Diagramm

(Y)

	A	\overline{A}		
B	1	1	1	1
	1			
\overline{B}		1	1	
	1			1
	C	\overline{C}	C	
				D
				\overline{D}

Die Funktion ist nach der KV-Methode zu minimieren. Geben Sie die Minimalform $Y_{\min} = f(A, B, C, D)$ an.

Lösungsalternativen:

$$(a) Y_{\min} = (B \cdot D) + (C \cdot D) + (A \cdot B \cdot \overline{C}) + (\overline{B} \cdot \overline{C} \cdot \overline{D})$$

$$(b) Y_{\min} = (B \cdot D) + (C \cdot D) + (A \cdot B \cdot C) + (\overline{B} \cdot \overline{C} \cdot \overline{D})$$

$$(c) Y_{\min} = (B \cdot D) + (C \cdot \overline{D}) + (A \cdot B \cdot C) + (\overline{B} \cdot \overline{C} \cdot D)$$

Aufgabe D14

D14 Die vereinfachte Funktion nach D13 soll ausschließlich mit NAND-Gattern mit je zwei

Eingängen realisiert werden. Hierzu ist die Gleichung entsprechend umzuformen. Die Schaltung ist zu skizzieren.

D14.1 Ermitteln Sie die entsprechenden Funktionsgleichungen in NAND-Technik

D14.2 Skizzieren Sie den entsprechenden Funktionsplan in NAND-Technik

Aufgabe D15

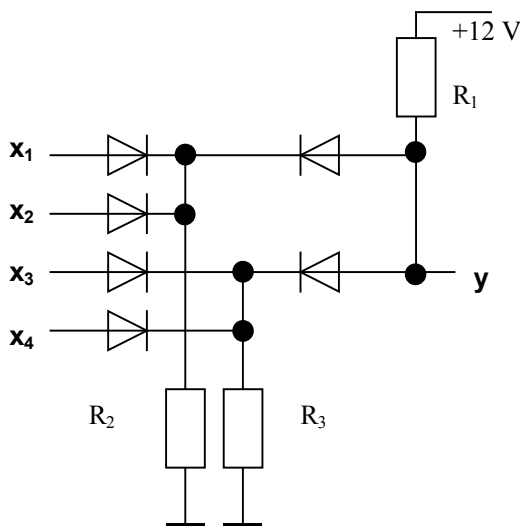
D15 Sie benötigen D-Flipflops, haben aber nur JK-FF und verschiedene Gatterbausteine (UND-ODER-NICHT) zu Verfügung. Zeigen Sie durch entsprechende Beschaltung der Eingänge, wie aus einem JK-FF ein D-FF gebildet werden kann.

Aufgabe D16

D16 Wodurch unterscheiden sich bipolare und unipolare Transistoren (mind. 2 Merkmale) ? In welchen Logikarten werden diese Elemente jeweils eingesetzt ?

Aufgabe D17

D17 Gegeben ist die folgende digitalelektronische Schaltung, bestehend aus Dioden und Widerständen. Ermitteln Sie die Funktion $y = f(x_1, x_2, x_3, x_4)$ bei negativer Logik.



Aufgabe D18

D18 Skizzieren Sie eine Erweiterung der Schaltung nach D17, so daß für das neue Ausgangssignal y^* gilt: $y^* = \overline{y}$.

Welche Funktion $y^* = f(x_1, x_2, x_3, x_4)$ ergibt sich jetzt bei positiver Logik ?

Aufgabe D19

D19 Aus welchem Grund werden bei digitalelektronischen Schaltungen besonders häufig NAND- bzw. NOR-Gatter verwendet ?

Aufgabe D20

D20 Erläutern Sie knapp die Bedeutung der folgenden Begriffe aus der TTL-Technik: "Totempole-Output", "OC-Output" und "TS-Output" ?

12 Literatur

- [1] Borucki, L.: Grundlagen der Digitaltechnik,
B. G. Teubner Verlag, Stuttgart, 2. Auflage, 1985, ISBN 3-519-16415-9
- [2] Urbanski, K.: Woitowitz, R.: Digitaltechnik – Ein Lehr- und Übungsbuch,
Springer Verlag, Berlin, Heidelberg, 3. Auflage, 2000, ISBN 3-540-66880-2
- [3] Pernards, P.: Digitaltechnik I – Grundlagen, Entwurf, Schaltungen,
Hüthing Verlag, Heidelberg, 4. Auflage, 2001, ISBN 3-7785-2815-7