

Lernziele

In diesem Kapitel werden Analog-Digital-Umsetzer behandelt. Sie erfahren die wichtigsten technischen Merkmale und die elektronischen Grundschaltungen dieser Umsetzer. Einsatzbereiche sowie meßtechnische Anwendungen werden vorgestellt.

9. Analog-Digital-Umsetzer (ADU)

Ein Analog-Digital-Umsetzer (ADU) ist immer dann erforderlich, wenn physikalische Größen, die in Form einer analogen Spannung oder eines Stromes vorliegen, digital weiterverarbeitet werden sollen. Aufgabe einer derartigen Schaltung ist daher die Digitalisierung von Analogwerten.

9.1 Kenngrößen des ADU

Ganz ähnlich den bereits behandelten Kenngrößen von Digital- Analog-Umsetzern lassen sich auch ADUs durch eine Reihe von statischen und dynamischen Parametern in ihrem elektrischen Verhalten beschreiben. Den (statischen) Zusammenhang zwischen der analogen Eingangsspannung U_e und der entsprechenden digitalen Ausgangsgröße Z kennzeichnet wieder die Übertragungsfunktion (Bild 9.1).

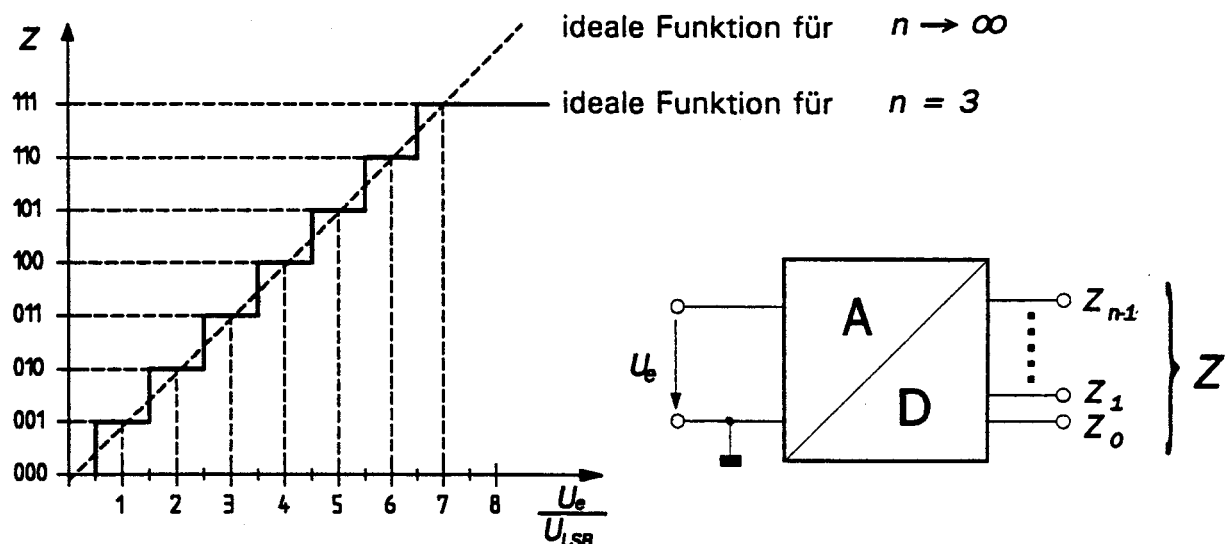


Bild 9.1 Übertragungsfunktion eines ADU (Beispiel: 3 bit Auflösung)

Um einen Quantisierungsfehler von $\pm 1/2$ LSB zu erzielen, ist es erforderlich, die Entscheidungsschwelle für die niederwertigste Bitstelle (bei $n = 3$: 000 oder 001) bei einem Spannungswert von $1/2 U_{LSB}$ festzulegen. Die Folgewerte liegen dann im Abstand von U_{LSB} , d.h. bei $3/2 U_{LSB}$, $5/2 U_{LSB}$,

Auflösung

Hierunter versteht man den Betrag einer Spannungsdifferenz am Eingang des ADU, der notwendig ist, um am Ausgang eine Änderung der niederwertigsten LSB-Stelle herbeizuführen. Dieser Wert entspricht der Quantisierungsspannung U_{LSB} . Es ist allerdings üblich, die Auflösung -wie auch schon beim DAU- durch die Stellenzahl n der digitalen Ausgangsgröße zu beschreiben. Bei dualer Codierung der Ausgangsgröße Z gilt:

$$U_{LSB} = 2^{-n} \cdot U_{eFS} \quad (9.1)$$

Viele Meßgeräte enthalten Analog-Digital-Umsetzer, deren Ausgangsgröße nicht dual, sondern dezimal codiert ist. In diesen Fällen wird die Auflösung durch die Anzahl der Dezimalstellen (z.B. $3\frac{1}{2}$ oder $4\frac{1}{2}$ Stellen) gekennzeichnet.

Nichtlinearität

Dieser Parameter kann dargestellt werden als maximale Abweichung der jeweiligen Quantisierungsstufen der realen Übertragungsfunktion von einer Geraden (Übertragungsfunktion für $n \rightarrow \infty$), die zwischen Anfangs- und Endwert der Übertragungsfunktion gezeichnet wird. Üblicherweise erfolgt die Angabe von Linearitätsfehlern in Einheiten der Quantisierungsgröße (z.B. $\pm \frac{1}{2} U_{LSB}$). Bild 9.2 läßt beispielhaft erkennen, wie sich ein maximaler Linearitätsfehler von $\pm U_{LSB}$ auf die Übertragungsfunktion auswirkt. Als Folge der Nichtlinearität ist es möglich, daß bestimmte Ausgangswerte nicht erreicht werden können ("missing codes"). Von einem Monotoniefehler spricht man dann, wenn für bestimmte Bereiche der Übertragungsfunktion mit wachsender Eingangsgröße U_e/U_{LSB} ein niedrigerer Digitalwert Z entstehen kann.

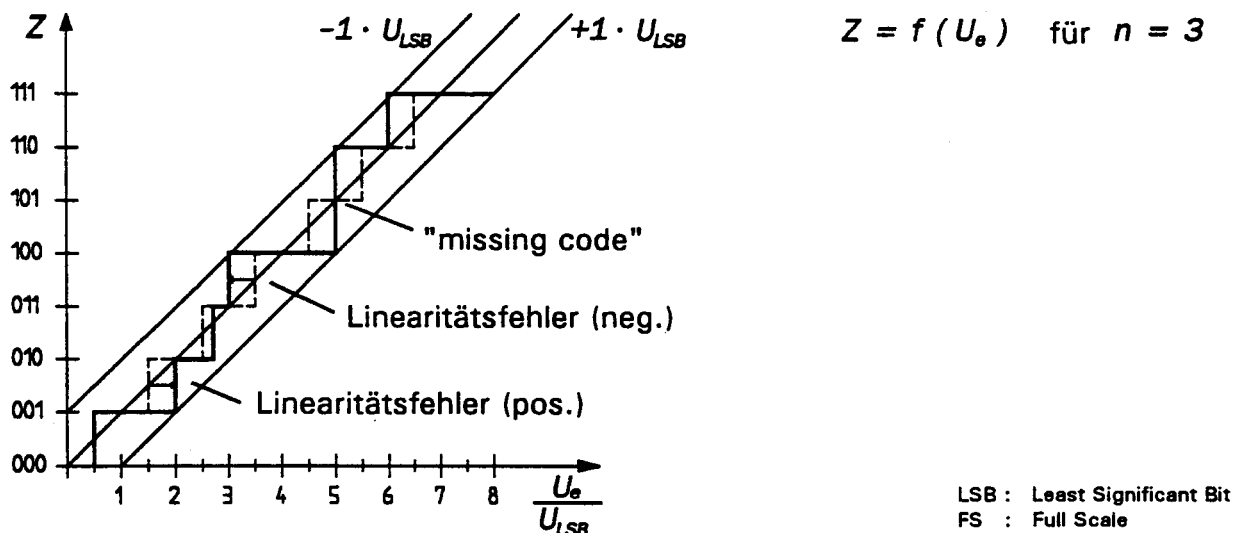


Bild 9.2 Wirkung von Nichtlinearitäten

Einstellzeit

Diese Kenngröße, auch Umsetzungszeit genannt, charakterisiert die Zeitspanne zwischen einer Änderung des analogen Eingangssignals und der entsprechenden Änderung des digitalen Ausgangswertes. Sie ist ein Maß für die Arbeitsgeschwindigkeit des Umsetzers und kennzeichnet damit seinen Einsatzbereich.

9.2 Die Grundprinzipien

Eine zweckmäßige Aufgliederung oder Klassifizierung von ADU ist außerordentlich schwierig, da es eine Vielzahl von Schaltungen mit den unterschiedlichsten Eigenschaften gibt. In der Literatur werden ADU häufig nach den drei folgenden "klassischen" Verfahren unterschieden:

- (1) Parallelverfahren
- (2) Wägeverfahren
- (3) Zählverfahren

Kennzeichen des Parallelverfahrens (word at a time) ist der gleichzeitige Vergleich der Eingangsspannung mit n verschiedenen Referenzspannungswerten. Damit ist es möglich, den digitalen Ausgangswert in nur einem Vergleichsschritt zu erhalten, der technische Aufwand ist allerdings sehr hoch. Bei n bit Auflösung werden allgemein 2^n Komparatoren und entsprechende Referenzspannungen benötigt.

Bei dem Wägeverfahren (digit at a time) baut sich das Ergebnis nicht in einem, sondern in einer Folge von Vergleichsschritten auf, wobei zunächst geprüft wird, ob die analoge Eingangsspannung mindestens den halben Maximalwert besitzt, die MSB-Stelle damit auf '1' gesetzt werden kann. Ist dies nicht der Fall, so wird die Stelle auf '0' zurückgesetzt und der Vergleich mit der nächst niedrigeren Ergebnisstelle wiederholt. Das Ergebnis liegt dann vor, wenn auch die niederwertigste MSB-Stelle verarbeitet wurde. Dieser Ablauf dauert um so länger, je höher die Auflösung des ADU ist. Allgemein werden n Vergleichsschritte und ebenso viele Referenzspannungen benötigt.

Bei den verschiedenen zählenden Verfahren wird abgezählt, wie oft die Quantisierungsspannung U_{LSB} als Referenzgröße aufsummiert werden muß, um der Eingangsspannung U_e zu entsprechen. Das Ergebnis ist also die Anzahl der Schritte.

Die drei Verfahren haben jeweils ihre spezifischen Vor- und Nachteile. Rein technisch lassen sich die ADU vor allem durch die Parameter Umsetzungszeit und Auflösung charakterisieren. Bild 9.3 zeigt die entsprechenden Arbeitsbereiche, wobei sehr schnelle, zur Umsetzung von hochfrequenten Meßsignalen geeignete Umsetzer eine verhältnismäßig niedrige Auflösung besitzen.

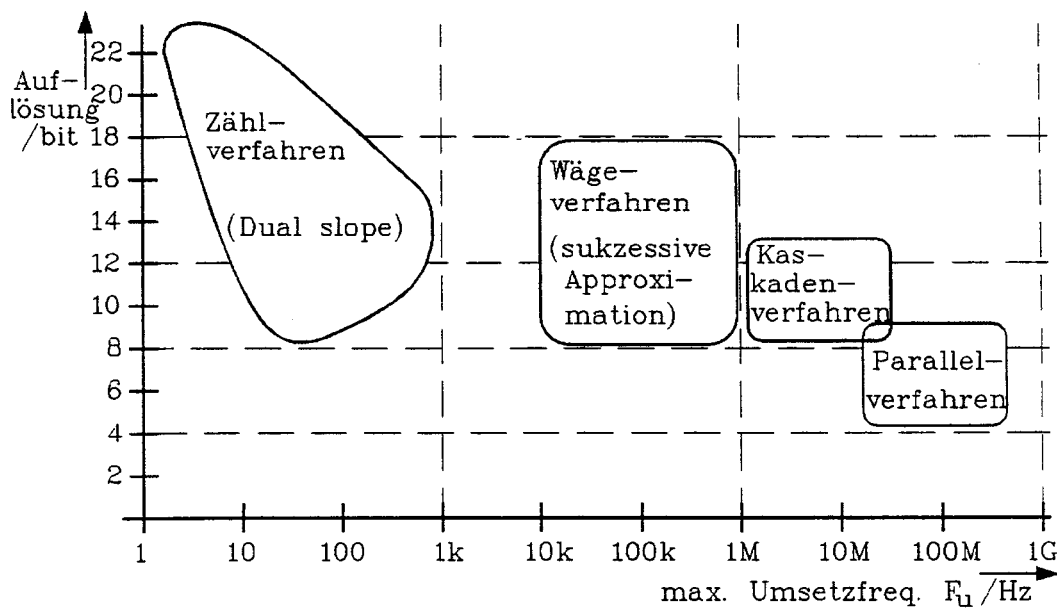


Bild 9.3 Charakterisierung der Umsetzungsverfahren

Bei der Entwicklung von Systemen richtet sich die Wahl des Verfahrens und damit des technischen Bauelementes ADU nach dem vorgesehenen Anwendungs- und Leistungsbereich. Beispielsweise sind die Schnittstellen eines Meßsystems zur Überwachung des Raumklimas (Temperatur, Druck, Feuchte) mit ADUs zu versehen, welche sich durch folgende Merkmale auszeichnen: mittlere bis hohe Auflösung, Unempfindlichkeit gegenüber Störsignalen, geringe Umsetzungs geschwindigkeit und damit hohe Wirtschaftlichkeit. Daher werden in diesem Anwendungsbereich meist zählende Analog-Digital-Umsetzer eingesetzt, die derartige Merkmale aufweisen. Meßsysteme hingegen, bei denen Momentanwerte verarbeitet werden sollen, benötigen Umsetzer aus den Gruppen (1) oder (2).

9.3 ADU nach dem Parallelverfahren (Flash Converter)

Bei dem Parallelverfahren (auch direkte Methode genannt) wird die zu digitalisierende Spannung gleichzeitig einer Reihe von eingangsseitig parallel geschalteten analogen Komparatoren zugeführt. Da die Digitalisierung "blitzartig" in einem einzigen Vergleichsschritt erfolgt, werden ADU nach dem Parallelverfahren auch als 'flash converter' bezeichnet.

Legt man entsprechend der Übertragungsfunktion die Entscheidungsschwelle zwischen dem Digitalwert 0 und 1 LSB bei $U_{LSB}/2$ fest, so muß der niederwertigste Komparator mit diesem Spannungswert als Referenz beaufschlagt werden. Die entsprechenden Vergleichsspannungen für die übrigen Komparatoren sind dann im Abstand von U_{LSB} gestaffelt. Damit sind für dieses Verfahren bei n bit Auflösung mindestens

$$2^n - 1 \text{ Vergleichsspannungen bzw. Komparatoren}$$

erforderlich. Bild 9.4 läßt das Prinzip am Beispiel eines ADU mit 3 bit Auflösung ($2^3 - 1 = 7$ Komparatoren) erkennen. Da es sehr unzweckmäßig wäre, für jeden Komparator eine eigene Referenzspannung bereitzustellen, ist es üblich, eine hochgenaue Referenzstromquelle I_{Ref} zu verwenden und die Einzelspannungen mit Hilfe einer abgeglichenen Spannungsteilernetze zu gewinnen.

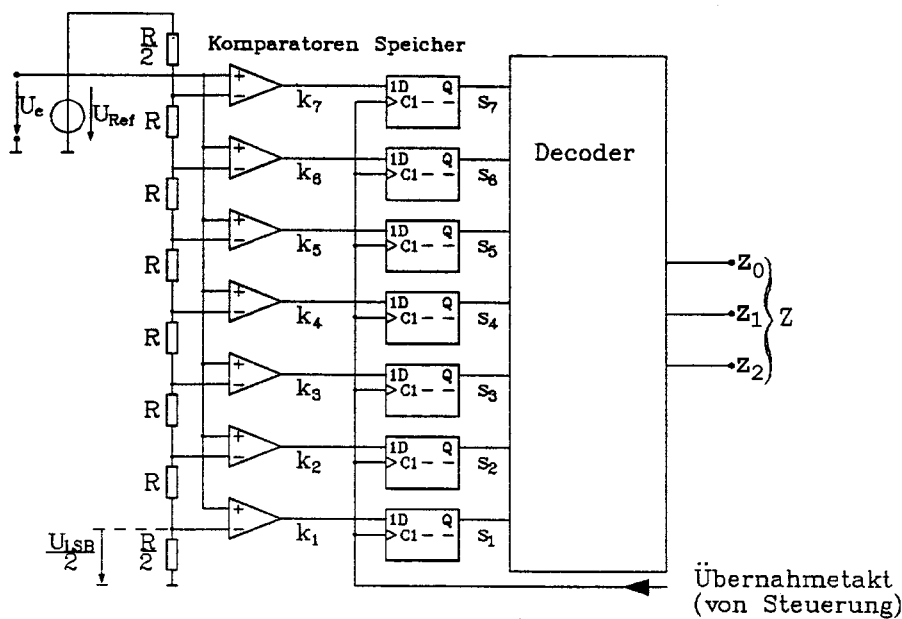


Bild 9.4 Prinzipschaltbild eines 3-bit ADU nach dem Parallelverfahren

An den Ausgängen k_1 bis k_7 der entsprechenden Komparatoren erscheint der digitalisierte Wert von U_e mit 7- oder allgemein ($2^n - 1$) Bitstellen. Mit Hilfe eines Decoders wird daraus der Digitalwert Z in einem gebräuchlichen Code gebildet. Die Funktionstabelle (Tabelle 9.1) läßt die Zusammenhänge erkennen.

Tabelle 9.1 Funktionstabelle 3 bit ADU (Beispiel)

U_e/U_{LSB}	k_7	k_6	k_5	k_4	k_3	k_2	k_1	Z_2	Z_1	Z_0
0	0	0	0	0	0	0	0	0	0	0
1	0	0	0	0	0	0	1	0	0	1
2	0	0	0	0	0	1	1	0	1	0
3	0	0	0	0	1	1	1	0	1	1
4	0	0	0	1	1	1	1	1	0	0
5	0	0	1	1	1	1	1	1	0	1
6	0	1	1	1	1	1	1	1	1	0
7	1	1	1	1	1	1	1	1	1	1

Die D-Flipflops an den Ausgängen der Komparatoren haben die Aufgabe, Fehler auszugleichen, die durch Signaländerungen von U_e während des Vergleichsvorgangs sowie unterschiedliche Ansprechzeiten der Komparatoren entstehen. Mit Hilfe eines Übernahmeimpulses (strobe), der von der Steuerung des Meßgerätes gebildet wird, gelingt es, den gebildeten Digitalwert K zur weiteren Verarbeitung definiert zwischenzuspeichern. Den Flipflops kommt somit die Funktion eines digitalen Abtast- und Haltegliedes (sample and hold circuit) zu. Die Ausgangsgröße Z des Parallelumsetzers mit einer Auflösung von n bit ergibt sich zu

$$Z = \frac{U_e}{U_{LSB}} = Z_{max} \cdot \frac{U_e}{U_{Ref}} \quad \text{mit } Z_{max} = 2^n - 1 \quad (9.2)$$

Ein Nachteil des Parallelumsetzers ist die exponentiell mit der Auflösung wachsende Zahl von Komparatoren. Jedes Bit an zusätzlicher Auflösung verdoppelt deren Anzahl. Da die Schaltungsintegration einer hohen Zahl von Komparatoren erhebliche technische Probleme bereitet, ist die erreichbare Auflösung dieses Umsetzertyps auf ca 8 bis max. 10 bit (255 bzw. 1023 Komparatoren) beschränkt.

Das Parallelverfahren ist das schnellste bekannte Umsetzungsverfahren. Es ermöglicht eine Digitalisierung von dynamischen Signalen bis hin zu Frequenzen von ca. 1 bis 2 GHz. Nach dem Parallelverfahren arbeitende ADU werden vor allem eingesetzt bei sehr schnellen Kommunikationssystemen mit digitaler Signalverarbeitung (DSP) sowie bei Digitaloszilloskopen (DSO) und Transientenrecordern.

9.3.1 Kaskadenumsetzer

Beim Kaskadenumsetzer (half flash converter) wird versucht, die günstigen Eigenschaften des Flash Converters beizubehalten und die Auflösung zu steigern, ohne jedoch eine exponentiell steigende Zahl von analogen Komparatoren einsetzen zu müssen. Dieses Ziel erreicht man, indem jetzt der Umsetzungsvorgang in zwei Schritten abläuft. Wie Bild 9.5 am Beispiel eines 10-bit Kaskadenumsetzers erkennen läßt, erfolgt im ersten Schritt mit Hilfe des Parallelumsetzers ADU_1 zunächst die Bildung der höherwertigen Ergebnisbitstellen (Beispiel 5-Bit ADU: z_9 bis z_5). Die Ausgänge der Komparatoren steuern einen schnellen DAU, dessen analoge Ausgangsspannung von der zu messenden Eingangsspannung subtrahiert wird. Durch passende Wahl der Verstärkung des Subtraktionsverstärkers erreicht man eine analoge Multiplikation der Differenzspannung mit 2^n (Beispiel: $2^5 = 32$). Dieser Spannungswert wird in einem zweiten Umsetzungsschritt dem Parallelumsetzer ADU_2 zugeführt, der die niederwertigsten Ergebnisbits z_4 bis z_0 bildet. In einem Register werden beide Teilergebnisse zusammengeführt. Der digitale Ergebniswert folgt aus Gleichung 9.2.

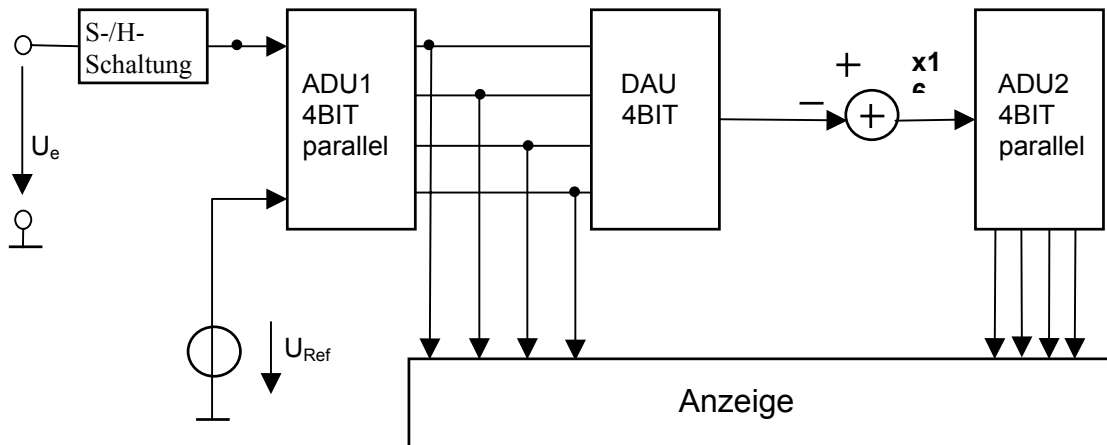


Bild 9.5 Prinzipschaltbild eines Kaskadenumsetzers

Die analoge Eingangsspannung U_e sollte während der beiden Umsetzungsschritte konstant bleiben, daher ist am Eingang des Kaskadenumsetzers eine S/H-Schaltung (sample and hold circuit) vorzusehen. Auf diese Weise ist es möglich, Momentanwerte von hochfrequenten Meßsignalen $U_e(t)$ mit einem geringen Aperturfehler zu bilden.

Verbesserter Kaskaden-ADU

Ein praktisch kaum lösbares Problem des beschriebenen Kaskadenumsetzers gemäß Bild 9.5 ist die notwendige Linearität des ersten Umsetzers ADU_1 . Obgleich dieser im Beispiel nur eine Auflösung von 5 Bit aufweist, sollte er über den geringen Linearitätsfehler eines guten 10-Bitters verfügen, sonst wären nämlich die mit ADU_1 aus der analogen Differenzspannung gebildeten niederwertigen Bitstellen z_4 bis z_0 ohne jede Bedeutung. Als Folge dieses Fehlers könnte ADU_1 übersteuert werden, es entstünden Sprünge in der Übertragungsfunktion (missing codes).

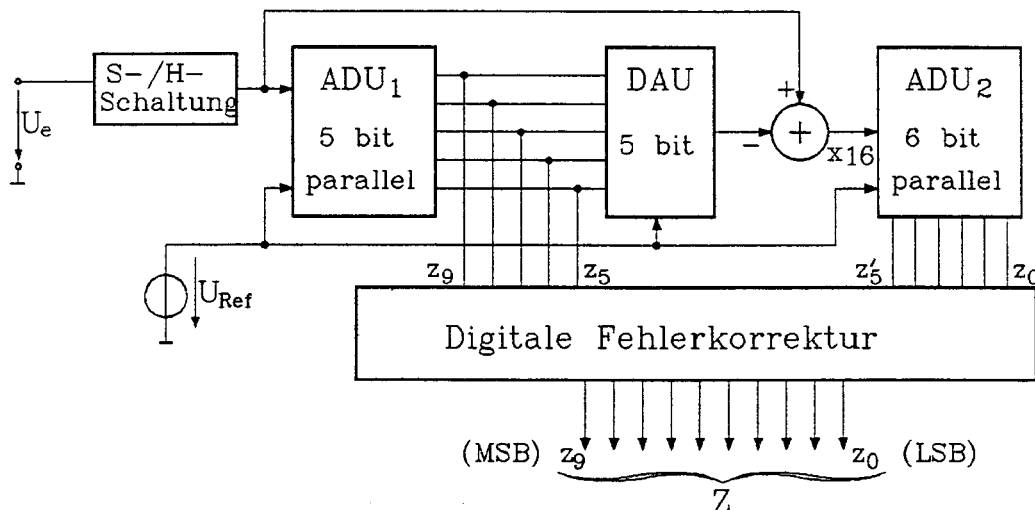


Bild 9.6 Verbesserter Kaskadenumsetzer

Wie Bild 9.6 erkennen läßt, ist es möglich, diese nachteiligen Effekte dadurch zu vermeiden, daß der zweite Umsetzer ADU_2 mit einer um 1 Bit vergrößerten Auflösung ausgestattet wird. Es entsteht in niederwertigen Teil des Umsetzers die redundante Bitstelle z_5' . Da im Beispiel (Bild 9.5) die Auflösung des ADU mit 10 Bit gleich bleiben soll, wird der Differenzverstärker jetzt mit der Verstärkung $V = 2^{n-1}$ (hier 16) ausgestattet. Mit Hilfe eines digitalen Korrekturnetzwerkes ist es nun möglich, die höherwertigen Bitstellen $z_9 z_8 z_7 z_6 z_5$ so zu korrigieren, das auch bei

begrenzter Linearität von ADU_1 ein Fehler von nur $\pm \frac{1}{2}U_{LSB}$ entsteht, bezogen auf den 10-stelligen Ausgangscode.

9.4 ADU nach dem Wägeverfahren (sukzessive Approximation)

Im Gegensatz zu den Parallelumsetzern erfolgt eine Digitalisierung des Analogsignals nicht mehr in einem bzw. zwei Schritten, sondern einer Vielzahl von zeitlich aufeinander folgenden "Wäge-" oder Vergleichsschritten. Daher besitzen ADU, die nach diesem Verfahren arbeiten, erheblich längere Umsetzungszeiten als die Parallelumsetzer. Das bekannteste Verfahren beruht auf dem Prinzip der "schrittweisen Annäherung" oder sukzessiven Approximation. Bild 9.7 soll das Arbeitsprinzip verdeutlichen. Eine gewisse Ähnlichkeit zum Einzelrampen-Umsetzer (Abschnitt 9.5.1) ist am Eingang der Schaltung zu erkennen. Allerdings wird im Gegensatz zu jenem die Komparator-Vergleichsspannung nicht analog, sondern mit Hilfe eines DAU gebildet. Um nun in einer geringstmöglichen Zahl von Vergleichsschritten der zu messenden Spannung U_e mit $U(Z)$ das Ergebnis, nämlich den digitalen Wert Z , zu bilden, setzt die Steuerung des Umsetzers zunächst "versuchsweise" das höchstwertige Bit $z_{n-1} = 1$. Ist $U_e > U(Z)$ erfüllt, so bestätigt der Komparator mit logisch '1' diese Annahme. Falls jedoch die Eingangsspannung kleiner als der Vergleichswert ist, erscheint logisch '0' am Komparatorausgang, die Steuerung setzt das Bit z_{n-1} wieder zurück und bereitet den nächsten Vergleichsschritt für die Bitstelle z_{n-2} vor. Nach Ablauf des ersten Schrittes steht das höchstwertige Ergebnisbit z_{n-1} fest, es wird in das Schieberegister SAR (suczessive approximation register) eingetaktet.

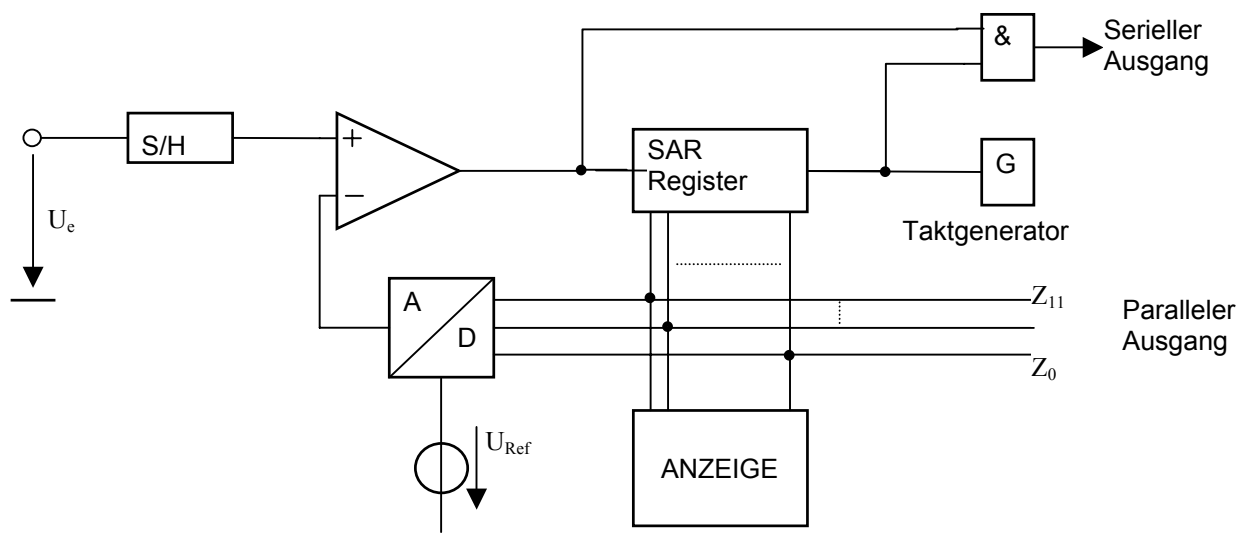


Bild 9.7 Prinzipschaltbild ADU mit sukzessiver Approximation

Bild 9.8 zeigt in einem Struktogramm den prinzipiellen Ablauf des Vergleichsvorgangs für einen 3-bit Umsetzer. Wie zu erkennen, wird zunächst im ersten Schritt das höchstwertige Bit (MSB) gesetzt. Falls der Analogwert größer als 100_2 ist, bleibt das Bit gesetzt und im zweiten Schritt erfolgt mit 110_2 das Setzen der folgenden niederwertigen Bitstelle. Ist der Analogwert beim ersten Vergleich jedoch niedriger als $Z = 100_2$, so wird die Bitstelle rückgesetzt und bei zweiten Schritt $Z = 010_2$ verwendet. Dieser Ablauf setzt sich so lange fort, bis die LSB-Stelle erreicht ist.

Bei dualer Codierung von Z sind für einen n -bit ADU bei voller Auflösung auch n Vergleichsschritte erforderlich, ein ADU mit dezimaler Codierung erfordert jeweils 4 Schritte pro Dezimalstelle. Da die Umsetzungszeit von der Zahl der Vergleichsschritte und damit der Auflösung abhängt, bieten viele ADU nach dem Verfahren der sukzessiven Approximation die Möglichkeit, ein (ungenaueres) Ergebnis in kürzerer Zeit mit verringerter Auflösung abzurufen.

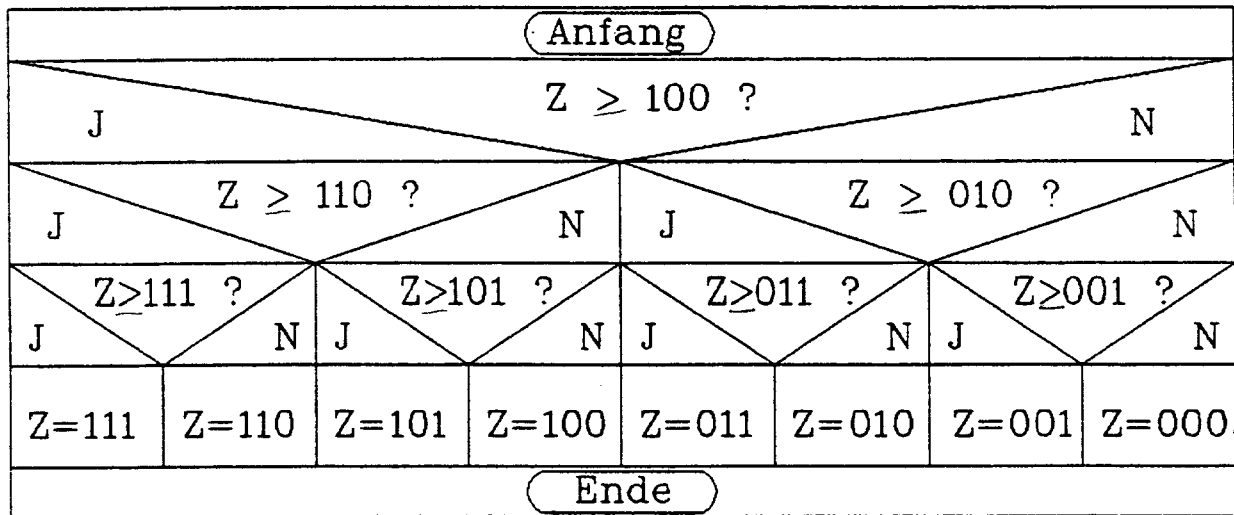


Bild 9.8 Struktogramm zur Verdeutlichung des Umsetzungsvorgangs

Ein ADU nach dem Verfahren der sukzessiven Approximation digitalisiert Momentanwerte $U_e(t_n)$. Zur Vermeidung von Aperturfehlern, insbesondere bei schnell veränderlichen Eingangssignalen, wird mit Hilfe einer Abtast- und Halteschaltung (sample and hold circuit) der jeweils zu messende Analogwert während der Umsetzungszeit konstant gehalten.

9.5 Zählende Verfahren (Integrationsumsetzer)

Bei den Analog-Digital-Umsetzern dieser Gruppe wird der analoge Meßwert, d.h. Spannung oder Strom in einen zeitproportionalen Wert (z.B. Impulslänge) überführt. Das Ergebnis der Umsetzung ist ein Impuls variabler Länge, proportional zur Meßgröße. Durch Zählung ist die Länge sehr einfach zu ermitteln. Da entsprechende Integrierte Schaltungen mit einfachen Mitteln verwirklicht werden können, sind entsprechende ADUs besonders wirtschaftlich. Ihr Hauptanwendungsbereich erstreckt sich auf digitale Multimeter (Vielfachmeßinstrumente). Als Nachteil sind die prinzipbedingten langen Meßzeiten (ms-Bereich) zu nennen. Daher eignen sich die ADU aus dieser Gruppe nicht zur Momentanwertmessung von dynamischen Signalen.

9.5.1 Einzelrampen-Umsetzer (Single Slope Verfahren)

Der Einzelrampen-Umsetzer oder auch Sägezahnumsetzer zeichnet sich durch eine besonders einfache Bauweise aus. Wie das Prinzipschaltbild (Bild 9.9) erkennen läßt, wird als Referenzspannung eine linear ansteigende Sägezahnspannung benutzt, die das Aneinanderreihen der Meßquanten U_{LSB} in analoger Form durchführt. Für diese Aufgabe kann problemlos eine Integratorschaltung verwendet werden. Mit Hilfe der beiden Komparatoren K_1 bzw. K_2 erfolgt ein Vergleich der Sägezahnspannung U_s mit der Meßspannung U_e sowie dem Bezugspotential 0V.

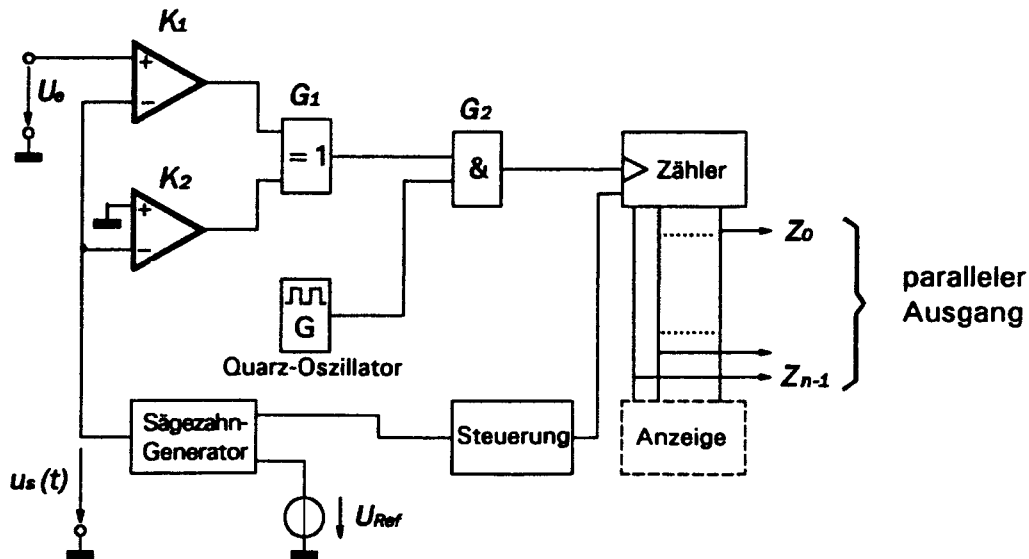


Bild 9.9 Prinzipschaltbild des Sägezahn-Umsetzers

Das Exklusiv-ODER Gatter G_1 verknüpft die Ausgangssignale von K_1 sowie K_2 und steuert das UND-Gatter G_2 , welches als Zähltor arbeitet und eine zur Spannung U_e proportionale Anzahl von Taktimpulsen des Quarzoszillators dem Digitalzähler zuführt. Das Impuls-Zeit-Diagramm (Bild 9.10) läßt den Ablauf des Umsetzungsvorgangs erkennen. Die lineare Sägezahnspannung U_s kann durch Gl. (9.3) beschrieben werden.

$$U_s(t) = \frac{U_{Ref}}{\tau} \cdot t - U_0 \quad (9.3)$$

Der Parameter $\tau = R \cdot C$ ist die Zeitkonstante des Integrators, der zur Bildung von U_s benutzt wird, U_0 kennzeichnet den Anfangswert der Sägezahnspannung. Zur Zeit $t=0$ beginnt $U_s(t)$ mit

$$U_s(t=0) = -U_0. \quad (9.4)$$

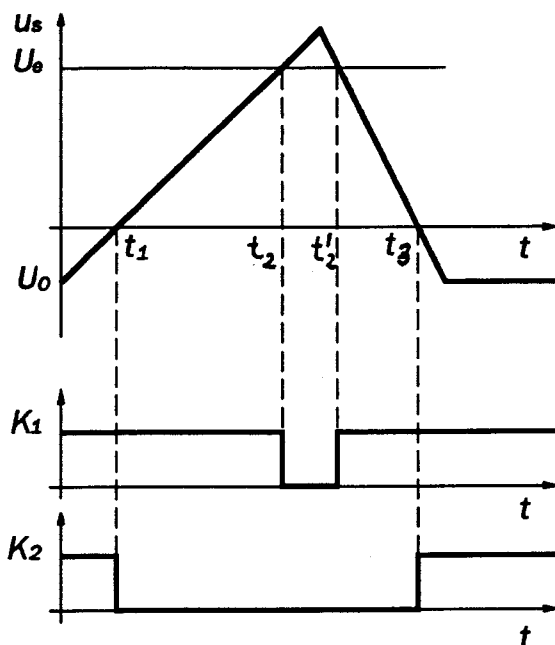


Bild 9.10 Impuls-Zeit-Diagramm des Sägezahn-Umsetzers

Beginn des Zählvorgangs

Zur Zeit $t = t_1$ gilt $U_s = 0$ und der Nullkomparator K_2 wird am Ausgang log. '0' liefern. Dies kennzeichnet den Start des Zählvorgangs. Erst beim schnellen Rücklauf des Sägezahns auf einen Wert $U_s \leq 0$ zum Zeitpunkt t_3 wird der Komparator K_3 wieder log. '1' als Ausgangszustand besitzen.

Ende des Zählvorgangs

Der Zählvorgang wird zum Zeitpunkt t_2 beendet. Dieser Augenblick ist gekennzeichnet durch

$$U_s(t_2) = U_e \quad (9.5)$$

Am Ausgang des Komparators K_1 erscheint jetzt log. '0'. Wegen der Exklusiv-ODER-Verknüpfung beider Komparatorausgänge liefert Gatter G_1 ebenfalls log. '0', es werden keine weiteren Zählimpulse von G_2 durchgelassen.

Aus Gleichung (9.3) kann sehr einfach der Zusammenhang zwischen der unbekanntenen Meßspannung U_e und dem gezählten Digitalwert Z bestimmt werden. Es gilt nämlich

$$\Delta U_s = U_s(t_2) - U_s(t_1) = U_e - 0 \quad (9.6)$$

Damit folgt

$$U_e = \left(\frac{U_{\text{Ref}}}{T} \cdot t_2 - U_0 \right) - \left(\frac{U_{\text{Ref}}}{T} \cdot t_1 - U_0 \right) = \frac{U_{\text{Ref}}}{T} \cdot \Delta t \quad (9.7)$$

mit $\Delta t = t_2 - t_1$

$$\text{Aus Gl. (9.7) folgt} \quad \Delta t = \frac{\tau \cdot U_e}{U_{\text{Ref}}} \quad (9.8)$$

Wird noch die Frequenz $f = 1/T$ des Taktoszillators in Gleichung (9.8) eingeführt, so ergibt sich der gesuchte Zusammenhang zwischen der digital gezählten Größe Z und der analogen Eingangsspannung:

$$Z = \frac{\Delta t}{T} = \frac{\tau \cdot U_e \cdot f}{U_{\text{Ref}}} \quad (9.9)$$

Gleichung (9.9) läßt einen Hauptnachteil des Sägezahnumsetzers erkennen. Die Ergebnisgröße Z ist sowohl von der Frequenz f des Taktoszillators als auch von der Zeitkonstanten $\tau = R \cdot C$ des Integrators abhängig. Um wenigstens einen vernachlässigbaren Frequenzfehler zu erhalten, ist ein stabiler Quarzoszillator notwendig. Weitaus kritischer ist die Zeitkonstante τ , da das maßgebliche RC-Glied nur mit beschränkter Genauigkeit abgeglichen werden kann und obendrein der Alterung unterworfen ist.

Beim Sägezahnumsetzer werden Momentanwerte $U_e(t_n)$ gemessen. Da die Umsetzung jedoch eine gewisse Zeit benötigt, muß während dieser Spanne U_e konstant gehalten werden, da sonst ein erheblicher Aperturfehler auftritt. Häufig wird zu diesem Zweck am Eingang des ADU eine S/H-Schaltung vorgesehen.

9.5.2 Zwei-Rampen-Umsetzer (Dual Slope-Verfahren)

Die Hauptnachteile des Sägezahnumsetzers, nämlich die Abhängigkeit des Meßfehlers von der Genauigkeit der Oszillatorfrequenz und der Zeitkonstanten τ sowie der Linearität der Sägezahnspannung U_s werden beim Zwei-Rampen-Umsetzer vermieden. Da hierbei eine doppelte Integration erfolgt, spricht man auch vom Dual Slope-Verfahren. Bild 9.11 soll das Arbeitsprinzip einer derartigen Schaltung verdeutlichen.

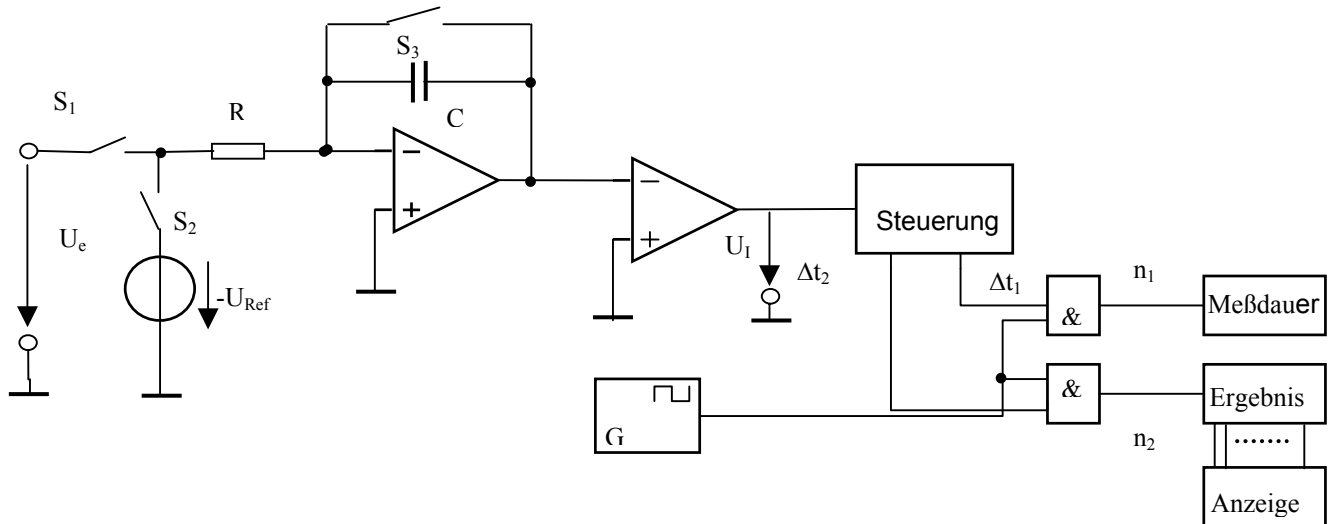


Bild 9.11 Prinzipschaltbild des Zwei-Rampen-Umsetzers

Vorhanden sind ein Integrator, der mit Hilfe der (elektronisch gesteuerten) Schalter S_1 sowie S_2 wechselseitig das Zeitintegral der zu messenden Eingangsspannung U_e sowie der Referenzspannung U_{Ref} zu bilden vermag. Zu beachten ist die umgekehrte Polarität von U_{Ref} im Vergleich zu U_e . Daher wird bei einer Integration von U_e der Betrag der Ausgangsspannung des Integrators zunächst ansteigen. Man spricht daher auch von einer "Aufintegration", die während einer fest vorgegebenen Zeitspanne Δt_1 stattfindet. Mit dem folgenden Ablaufschritt ($S_1 = 0$, $S_2 = 1$, $S_3 = 0$) wird U_e vom Eingang des Integrators getrennt und die Referenzspannung U_{Ref} so lange integriert, bis der am Ausgang angeschlossene Komparator signalisiert, dass der Spannungswert 0V erneut erreicht wurde. Diese Phase des Umsetzungsvorgangs wird daher auch als "Abintegration" bezeichnet. Der Zeitverlauf der Spannung am Ausgang des Integrators ist in Bild 9.12 dargestellt.

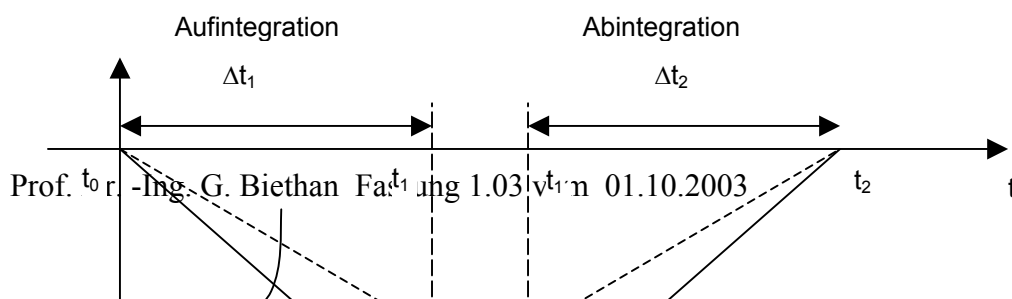


Bild 9.12 Spannung $U_I(t)$ beim Zwei-Rampen-Umsetzer (Dual-Slope Verfahren)

Zusammenfassend kann der Ablauf des Umsetzungsvorganges folgendermaßen beschrieben werden:

$$(1) \text{ Grundzustand: } \left. \begin{array}{l} S_1 = 0 \\ S_2 = 0 \\ S_3 = 1 \end{array} \right\} \text{ Integratorspannung } U_I = 0$$

$$(2) \text{ Aufintegration: } \begin{array}{l} S_1 = 1 \\ \text{(Integration der} \\ \text{Meßspannung)} \quad S_2 = 0 \\ S_3 = 0 \end{array}$$

Während dieser Phase wird U_e über die Zeitspanne Δt_1 integriert. Die Spannung $U_I(t)$ ergibt sich wie folgt:

$$U_I(t_1) = - \frac{1}{T} \int_{t_0}^{t_1} U_e \cdot dt \quad (9.10)$$

$$U_I(t_1) = - \frac{\overline{U_e} \cdot n_1 \cdot T}{T} \quad (9.11)$$

mit $\tau = R \cdot C$

n_1

$T = 1/f$

Zeitkonstante des Integrators

Zahl von Taktimpulsen (durch Meßdauerzähler festgelegt)

Periodendauer des Taktgenerators

$$(3) \text{ Abintegration: } \begin{array}{l} S_1 = 0 \\ \text{(Integration der} \\ \text{Referenzspannung)} \quad S_2 = 1 \\ S_3 = 0 \end{array}$$

Während der Abintegrationsphase wird U_{Ref} solange integriert, bis sich $U_I = 0$ ergibt. Die Zeitspanne $\Delta t_2 = n_2 \cdot T$ wird vom Ergebniszähler festgehalten.

$$U_I(t) = U_I(t_1) - \frac{1}{T} \int_{t_1}^{t_2} U_{\text{Ref}} \cdot dt \quad (9.12)$$

Der gesuchte Zusammenhang zwischen der Meßspannung U_e und der digitalen Ergebnisgröße n_2 bzw. Z ergibt sich durch Kombination der Gleichungen (9.11) und (9.12). Zum Zeitpunkt t_2 gilt nämlich

$$U_1(t_2) = 0 \quad (9.13)$$

Damit folgt

$$-\frac{\bar{U}_e \cdot n_1 \cdot T}{T} + \frac{U_{\text{Ref}} \cdot n_2 \cdot T}{T} = 0 \quad (9.14)$$

Aus Gleichung (9.14) ergibt sich der gesuchte Zusammenhang

$$Z = n_2 = \frac{U_e}{U_{\text{Ref}}} \cdot n_1 \quad (9.15)$$

Bei der Betrachtung der Gleichungen (9.14) und (9.15) fällt auf, daß weder die Periodendauer T des Taktgenerators und damit die Stabilität seiner Frequenz noch die Integrationszeitkonstante τ und damit die Linearität des Integrators in das gezählte Ergebnis eingehen. Auf diese Weise ist es möglich geworden, Analog-Digital-Umsetzer ohne eng tolerierte analoge Bauelemente mit verhältnismäßig hoher Genauigkeit ($F_{\text{rel}} \leq 100$ ppm) zu verwirklichen. ADU nach dem Dual Slope-Verfahren bilden daher die Grundlage für zahlreiche einfache und wirtschaftliche digitale Meßsysteme.

Vorteile des Verfahrens

Zu beachten ist, daß infolge der Integration der Meßspannung stets nur ein zeitlicher Mittelwert und kein Augenblickswert gemessen werden kann. Der Einfluß von überlagerten Wechselspannungen auf das Meßergebnis wird mit wachsender Frequenz immer geringer, da deren Anteil an der Ausgangsspannung des Integrators mit dem Faktor $1/\omega$ bewertet wird. Bei geschickter Wahl der Aufintegrationszeit

$$\Delta t_1 = N \cdot T_{\text{Stör}} \quad (N = 1, 2, \dots)$$

kann der Einfluß störender Wechselspannungen der Frequenz $f_{\text{Stör}}$ (meist Störungen durch Netzbrumm) sowie ihrer Oberwellen auf das Meßergebnis vollständig unterdrückt werden.

Beispiel:

$$f_{\text{Stör}} = 50 \text{ Hz} \quad \rightarrow \quad \Delta t_1 = N \cdot 20 \text{ ms} \quad (N = 1, 2, \dots)$$

Nachteile des Dual Slope-Verfahrens

Hier ist vor allem die langsame Umsetzungszeit (typ. 10 bis 500ms) zu erwähnen, die nur wenige Messungen pro Sekunde erlaubt.

9.6 Der Spannungs-Frequenz-Umsetzer

Der Spannungs-Frequenz-Umsetzer stellt eine Sonderform des ADU dar. Er arbeitet nach keinem der drei bereits behandelten grundlegenden Verfahren. Es handelt sich hierbei um eine Schaltung, die in der Nachrichtenelektronik als spannungsgesteuerter Oszillator oder VCO (voltage controlled oscillator) bezeichnet wird. Bild 9.13 zeigt die grundsätzliche Arbeitsweise.

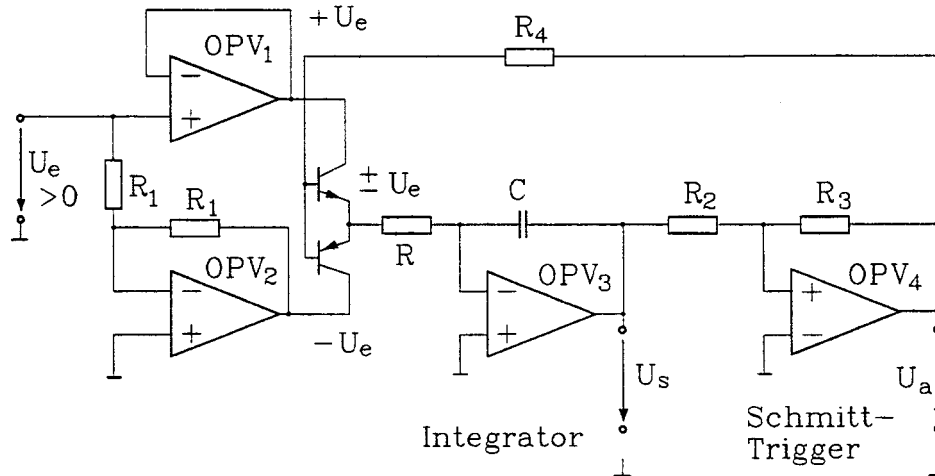


Bild 9.13 Prinzipschaltbild des Spannungs-Frequenz-Umsetzers

Mit Hilfe der beiden Operationsverstärker OPV₁ (Spannungsfollower) sowie OPV₂ (invertierender Verstärker mit VUB = -1) wird eine positive Meßspannung (U_e > 0) dem von OPV₃ mit Beschaltung gebildeten Umkehrintegrator zugeführt. Am Ausgang des Integrators entsteht die sägezahnförmige Spannung U_S(t), wobei U_e = konst angenommen wird. Somit gilt für t₀ < t < t₁

$$U_S(t) = - \frac{U_e \cdot t}{R \cdot C} \quad (9.16)$$

Erreicht die Amplitude von U_S zum Zeitpunkt t₁ die untere Schwelle des Schmitt-Triggers, so schaltet dieser um und legt jetzt über den Transistorschalter T₁ die negierte Eingangsspannung -U_e an den Eingang des Integrators. Aufgrund des Vorzeichenwechsels von U_e erfolgt nun im Zeitraum t₁ < t < t₂ ein Anstieg der Sägezahnspannung U_S(t). Dieser setzt sich solange fort, bis die obere Schaltschwelle des Schmitt-Triggers erreicht wird. Die Spannung U_S wird in diesem Zeitraum durch Gleichung (9.17) beschrieben:

$$U_S(t) = U_{S1} + \frac{U_e \cdot t}{R \cdot C} \quad (9.17)$$

wobei U_{S1} der Wert von U_S(t₁) ist.

Die beschriebenen Abläufe wiederholen sich, der Schmitt-Trigger schaltet jeweils erneut um, es entsteht am Ausgang des Integrators eine periodische sägezahnförmige Wechselfspannung. Am Ausgang des Schmitt-Triggers ist die Spannung rechteckförmig, wobei die Frequenz beider Spannungen gleich ist.

Bei der weiteren Analyse dieser Schaltung soll der Zusammenhang zwischen der Eingangsspannung U_e und der Periodendauer T bzw. der Frequenz f = 1/T der erzeugten Wechselfspannung U_S bzw. U_a ermittelt werden. Um diese Frage zu klären, ist es notwendig, die Schaltschwellen des Schmitt-Triggers zu bestimmen. Diese ergeben sich entsprechend aus Gleichung (9.18).

$$U_T = -/+ \frac{R_2}{R_3} U_{Amax} \quad \text{mit} \quad U_{Amax} = U_{A-} = U_{A+} \quad (9.18)$$

Da diese Schaltschwellen jeweils zu den Zeiten t₀, t₁, t₂,... erreicht werden, ist es möglich, einen Zusammenhang zwischen der Periodendauer von U_S bzw. U_T herzustellen. Es gilt nämlich:

$$T = 1/f = 4 \cdot \Delta t \quad (9.19)$$

Der Parameter Δt ist die Zeitspanne zwischen zwei Extremwerten von $U_S(t)$ und damit zwei Umschaltpunkten des Schmitt-Triggers. Der Wert ergibt sich durch Bildung des Differenzenquotienten bei den Gleichungen (9.16) oder (9.17).

$$\frac{\Delta U_S}{\Delta t} = \pm \frac{U_e}{RC} \quad (9.20)$$

Mit Gleichung (4.19) ergibt sich aus Gl. (4.20) folgender Zusammenhang:

$$f = \frac{U_e}{4 \cdot \Delta U_S \cdot RC} \quad (9.21)$$

Wegen $\Delta U_S = U_T$ ist es möglich, unter Berücksichtigung von Gl. (9.18) Gleichung (9.21) weiter zu entwickeln:

$$f = \frac{U_e \cdot R_3}{4 \cdot R_2 \cdot RC \cdot U_{Amax}} ; f \sim \text{konst} \cdot U_e \quad (9.22)$$

Wie Gleichung (9.22) erkennen läßt, ist die Frequenz der entstehenden Wechselspannung proportional zu der Eingangsspannung U_e , die übrigen Parameter sind Schaltungskonstanten.

Neben den Anwendungen als ADU werden Spannungs-Frequenz-Umsetzer auch als Modulatoren eingesetzt. Bei linearer Frequenzmodulation erfolgt eine Aussteuerung symmetrisch zu einem durch U_{e0} gekennzeichneten statischen Arbeitspunkt

$$U_e(t) = U_{e0} + \Delta U_e \quad (9.23)$$

9.7 Technische Bauformen von ADU

Ganz ähnlich wie auch bei den DAU lassen sich die Analog-Digital- Umsetzer von ihrer Technik her unterscheiden in monolithisch sowie hybrid integrierte Schaltungen. Wegen der notwendigen Genauigkeit der Referenzelemente ist -besonders bei schnellen, hochauflösenden Umsetzern- ein Abgleich notwendig, der meist mit Hilfe von Laserstrahlen in speziellen Abgleich-/Prüfautomaten erfolgt. Da sich derartige Abgleichvorgänge nur sehr schwer in die Fertigungsprozesse monolithischer Schaltungen einbeziehen lassen, waren entsprechende ADU mit besonders hohen Leistungswerten zunächst nur als Hybridschaltungen verfügbar.

9.7.1 Schaltungsintegration von ADU

Eine Ausnahme bildeten die AD-Umsetzer, die nach einem der zählenden Verfahren (z.B. Dual-Slope-Verfahren) arbeiten. Da an die elektronischen Bauelemente keine allzu hohen Genauigkeitsforderungen zu stellen waren, konnten auch ADU mit hoher Auflösung (typ. 12 bis 16 bit) als monolithische Schaltkreise verwirklicht werden. Auch der Spannungs-Frequenz-Umsetzer ist dieser Gruppe zuzurechnen. Diese Entwicklung führte zu einer Vielzahl wirtschaftlicher und verhältnismäßig genauer Digitalmeßgeräte, bei denen diese Bausteine eingesetzt werden. Ein Beispiel hierfür sind die digitalen Multimeter (Vielfachmeßinstrumente).

Um auch schnelle monolithische ADU mit hoher Auflösung verwirklichen zu können, entstanden eine Reihe neuer ADU-Techniken, deren wichtigste Merkmale sich so zusammenfassen lassen:

- Einsatz spezieller ADU-Schaltungskonzepte
- Selbstabgleich der Referenzelemente
- Automatische Kalibrierung
- Integration weiterer Schaltungsfunktionen wie z.B. Abtast- und Haltestufen (Sample-and-Hold-ADU), Analog-Multiplexer und Instrumentenverstärker

Bei diesen Bausteinen werden in geschickter Weise die bisher behandelten Prinzipien angewendet, gleichzeitig jedoch eine Reihe spezieller Möglichkeiten der Halbleiterintegration genutzt. Hierzu zählt beispielsweise die Steuerung aller Umsetzungs- und Abgleichvorgänge durch einen integrierten Mikroprozessor (Mikrocontroller).

9.7.2 Spezialschaltungen für monolithische ADU

Ein nahezu unüberwindliches Problem bei der monolithischen Schaltungsintegration ist die Realisierung sehr eng tolerierter Widerstände, wie sie für präzise ADU hoher Auflösung notwendig sind. Um diese Klippe zu umschiffen, werden im Rahmen spezieller Schaltungen an Stelle der kritischen Widerstände meist integrierte Kapazitäten eingesetzt, deren Toleranzen die Genauigkeit des gebildeten Digitalwertes nur in geringem Maße beeinflussen oder durch Selbstabgleich kompensiert werden können. Zwei wichtige Schaltungskonzepte sind:

- Ladungsverteilungsverfahren (charge redistribution ADC)
- Sigma-Delta-Verfahren

Beide Konzepte sollen an dieser Stelle untersucht werden.

9.7.2.1 Das Ladungsverteilungsverfahren

ADU-Schaltungen, die nach diesem Prinzip arbeiten, besitzen eine gewisse Ähnlichkeit mit dem in Abschnitt 8.4 behandelten Wägeverfahren. Wie allerdings Bild 9.14 erkennen läßt, ist der grundsätzliche Aufbau erheblich einfacher. So haben der eingangsseitige Digital-Analog-Umsetzer sowie der analoge Komparator ihre Rollen vertauscht. Das Register SAR steuert einen DAU, welcher an Stelle von gewichteten Widerständen $R, \dots, R/2, \dots, R/4, \dots$ ein entsprechend aufgebautes System dual gewichteter Kapazitäten $C, \dots, C/2, \dots, C/4, \dots$ enthält.

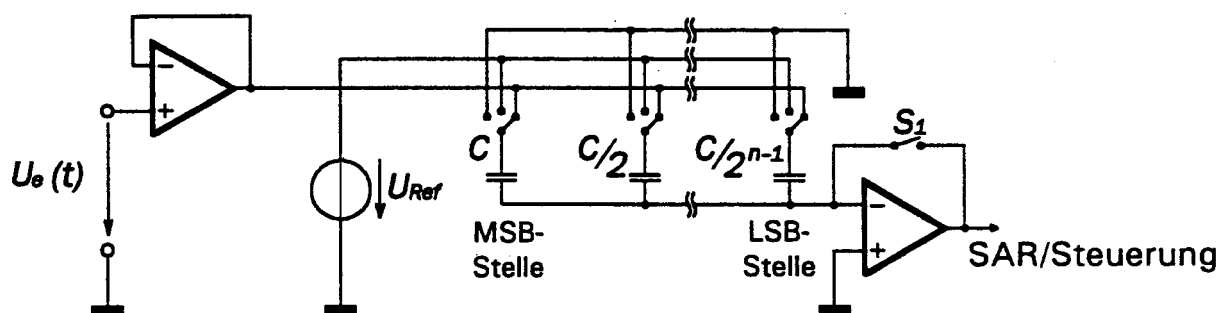


Bild 9.14 Prinzipschaltbild ADU nach dem Ladungsverteilungsverfahren

Da die Kondensatoren mit Hilfe der Wechselschalter wahlweise an Massepotential (0 V), an die Referenzspannungsquelle U_{Ref} sowie an die analoge Meßspannung U_e gelegt werden können, enthält diese ADU-Schaltung mehrere Funktionen: S/H-Schaltung, DAU und Komparator. Je

nach Schalterstellung unterscheidet man zwei Betriebsarten, nämlich Folgemodus sowie Umsetzungsmodus (Bild 9.15).

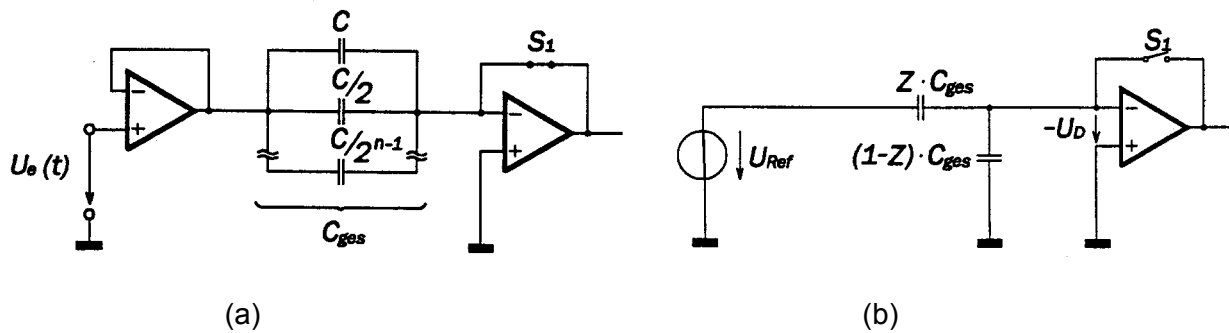


Bild 9.15 Ersatzschaltbilder (a) Folgemodus, (b) Umsetzungsmodus

Der Folgemodus (tracking mode)

Dieser Modus ist immer dann aktiv, wenn nicht gerade eine Umsetzung oder ein Eichzyklus erfolgen. Hierbei sind alle Kondensatoren über die Wechselschalter mit U_e verbunden, der Schalter S_1 ist geschlossen. Somit folgt die Kondensatorladung der Meßspannung. In dieser Betriebsart laden sich alle Kondensatoren C_{ges} auf $U_E = U_e(tm)$ auf. Somit gilt:

$$Q_E = - U_E \cdot C_{ges} \tag{9.25}$$

Diese Gesamtladung aller Kondensatoren ist dann "eingefroren", wenn mit Hilfe der Wechselschalter die Kondensatorbelegungen mit Masse verbunden werden und über den jetzt geöffneten Schalter S_1 der Eingang des Komparators ein schwebendes Potential annehmen kann. Entsprechend Gleichung (9.25) wird ein Wert U_E statisch -wie in einer S/H-Schaltung- als Kondensatorladung zwischengespeichert.

Der Umsetzungsmodus

Der Umsetzungsvorgang beginnt nach dem Öffnen des Schalters S_1 . Mit Hilfe der Wechselschalter werden zunächst die freien Enden der Kondensatoren mit Massepotential verbunden. Der sukzessive Approximationsalgorithmus beruht darauf, daß -beginnend mit der MSB-Stelle- die gestuften Kondensatoren solange mit U_{Ref} verbunden werden, bis die Eingangsspannung $U_D = 0$ V am Komparator erreicht wird. Hierbei entsteht die folgende Kapazitätsaufteilung:

Referenzzweige: $C_{Ref} = Z \cdot C_{ges} \tag{9.26}$

Massezweige: $C_M = (1-Z) \cdot C_{ges} \tag{9.27}$

Bei der Abgleichbedingungung $U_D = 0$ V verteilt sich die Kondensatorladung Q_E auf die mit U_{Ref} verbundenen Kondensatoren. Für diesen Fall gelten folgende Beziehungen:

$$C_{Ref} = Q_{Ref} / U_{Ref} \tag{9.28} \text{ mit}$$

$$Q_{Ref} = C_{ges} \cdot U_E \tag{9.29}$$

Die Kombination der Gleichungen (9.26) und (9.29) liefert das gesuchte Ergebnis

$$Z = U_E / U_{Ref} \tag{9.30}$$

9.7.2.2 Das Sigma-Delta-Verfahren

Die Anwendung des Sigma-Delta-Verfahrens für technische ADU ist verhältnismäßig neu. Das Verfahren leitet seinen Namen ab von einer speziellen Schaltungstechnik, die einen Integrator (Sigma- oder Summenbildung) sowie einen Differenzverstärker (Delta- oder Differenzenbildung) enthält. Entsprechend aufgebaute Umsetzer zeichnen sich durch folgende Hauptmerkmale aus:

- Hohe und höchste Auflösungen: 12 bit bis ca. 22 bit
- Keine S/H-Schaltung erforderlich
- Einsetzbar bis ca. 500 kHz Abtastfrequenz
- Sehr gut integrierbar als Standardzellen digitaler IC z.B. digitale Signalprozessoren (DSP)

Diesen sehr vorteilhaften Eigenschaften steht praktisch als einziger Nachteil der hohe schaltungstechnische Aufwand gegenüber. Wie Bild 9.16 erkennen lässt, besteht ein ADU nach dem Sigma-Delta-Verfahren aus zwei Hauptbestandteilen, nämlich einem analogen Modulator und einem Digitalfilter.

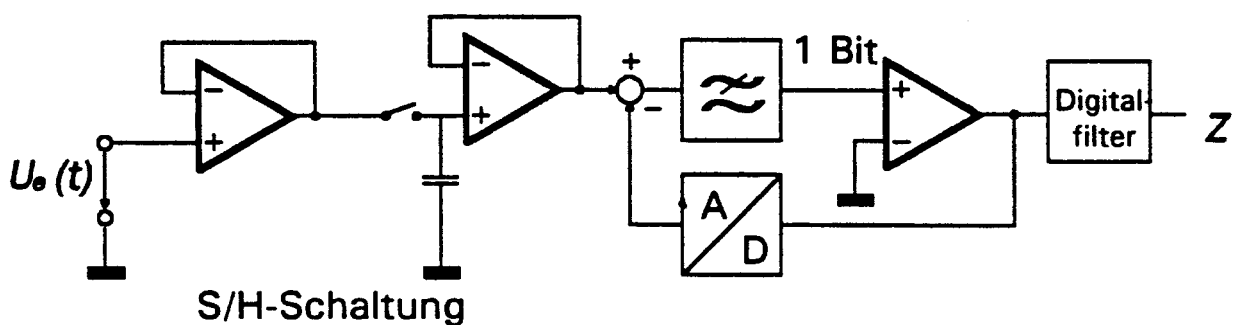


Bild 9.16 Prinzipschaltbild ADU nach dem Sigma-Delta-Verfahren

Ein einfacher Modulator erster Ordnung kann als Spannungs- Frequenz-Umsetzer (VFC) realisiert sein. Bild 9.17 zeigt beispielhaft eine Prinzipschaltung, bestehend aus einem Differenzverstärker OPV₁, dessen Ausgangsspannung $U_1 = U_E - U_3$ mit Hilfe des Integrators I integriert wird.

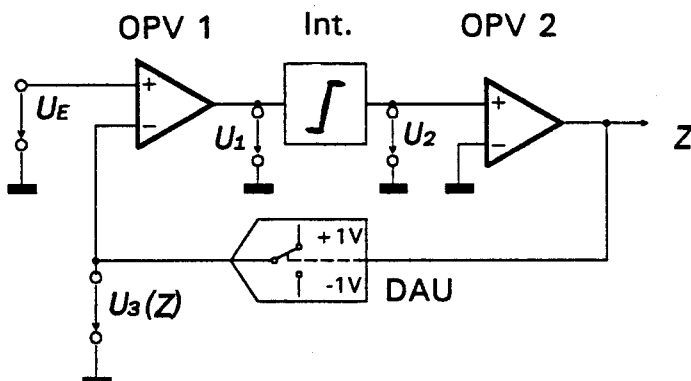
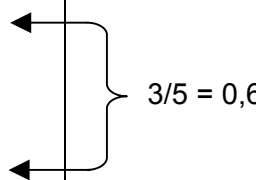


Bild 9.17 Funktionsmodell Sigma-Delta-Modulator 1. Ordnung

Der nachgeschaltete Komparator OPV₂ liefert seriell den digitalen Ausgangswert Z und steuert gleichzeitig den 1-bit DAU, der die bipolare Spannung U₃ an den invertierenden Eingang von OPV₁ legt. Diese Spannung soll im Beispiel ±1 V betragen. Der positive Wert (U₃ = +1 V) ergibt sich dann, wenn die Spannungsdifferenz U₂ am Eingang des Komparators positiv (U₂ > 0) ist. In diesem Fall wird am Ausgang ein 1-Bit geliefert. Der alternative Zustand, nämlich U₂ < 0 ergibt

ein 0-Bit am Ausgang sowie $U_3 = -1$ V. Der Integrator "summiert" die verschiedenen analogen Spannungswerte von U_1 . Zur weiteren Verdeutlichung des Umsetzungsvorgangs möge Tabelle 9.2 dienen. Hierbei wird angenommen, die Eingangsspannung U_e habe einen Wert von 0,6 V.

Tabelle 9.2 Beispiel für den Ablauf des Sigma-Delta-ADU

Taktperiode	Spannung U1 [V]	Spannung U2 [V]	Z	Spannung U3 [V]	Bemerkungen
0	0,0	0,0	0	0	Period. Ablauf zwischen T_2 und T_7 
1	0,6	0,6	1	1	
2	-0,4	0,2	1	1	
3	-0,4	-0,2	0	-1	
4	1,6	1,4	1	1	
5	-0,4	1,0	1	1	
6	-0,4	0,6	1	1	
7	-0,4	0,2	1	1	
8	-0,4	-0,2	0	-1	

Beim Start des Umsetzungsvorgangs wird zunächst mit 0 V begonnen. Alle weiteren Spannungswerte folgen entsprechend. Da die Analogspannungen bei den Taktperioden T_2 und T_7 jeweils gleich sind, verläuft die Umsetzung mit jeweils 5 Takten periodisch. Der entsprechende Mittelwert von U_3 beträgt genau 0,6 V.

9.8 Dynamische Spezifikation von ADU

In den bisherigen Abschnitten wurde das Verhalten der Digital- Analog-Umsetzer (DAU) bzw. Analog-Digital-Umsetzer (ADU), die aufgrund ihrer Kenngrößen zur Erzeugung sowie Momentanwertmessung von schnell veränderlichen Signalen geeignet sind, immer als quasi-statisch angenommen. Dies bedeutet

$$t_s \ll T_m \tag{9.31}$$

Die Umsetzungszeit t_s eines DAU bzw. ADU ist bei dieser Betrachtung stets sehr viel kleiner als die Periodendauer T_m des Meßsignals.

In diesem Abschnitt sollen nun die wichtigsten dynamischen Effekte betrachtet werden. Insbesondere sind zu berücksichtigen:

- Störsignale infolge der Quantisierung (Quantisierungsrauschen)
- Fehler aufgrund von Unterabtastung (Aliasing)
- Fehler infolge von Änderungen des Meßsignals während der Umsetzung (Aperturfehler nur bei ADU)

9.8.1 Signal-Rausch-Abstand (SNR), Rauschspannung

Bei der Umsetzung einer analogen Eingangsspannung in einen Zahlenwert mit begrenzter Bitstellenzahl entsteht ein Fehler, der als Quantisierungsfehler bezeichnet wird. Er beträgt entsprechend Bild 9.1 $\pm \frac{1}{2}U_{LSB}$. Werden die umgesetzten Werte mit einem DAU wieder als Analogspannung dargestellt, so äußert sich der Quantisierungsfehler als überlagertes Rauschen. Dieses Quantisierungsrauschen eines ADU wird durch den Parameter Signal-Rauschabstand SNR (**S**ignal **N**oise **R**atio) bestimmt. Allgemein ist diese Größe folgendermaßen definiert:

$$SNR = U_s/U_N \tag{9.32a}$$

oder ausgedrückt in Dezibel

$$SNR = 20 \cdot \log(U_s/U_N) \text{ [dB]} \tag{9.32b}$$

Mit U_S als effektiver Signalspannung und U_N als effektiver Rauschspannung. Unter der Rauschspannung U_N werden hier alle Spektralkomponenten des erzeugten Analogsignals mit Ausnahme des Gleichanteils sowie der Grundschwingung des Signals verstanden.

Zur Messung des SNR von ADU werden dynamisch die Werte einer idealen digitalisierten Sinusschwingung in analoge Spannungspegel U_S umgesetzt, wobei eine Bandbreite von 0 Hz bis zur halben Abtastfrequenz $f_s/2$ zur Messung herangezogen wird. Der Effektivwert der Signalspannung U_{Seff} ergibt sich daher zu

$$U_{\text{Seff}} = \frac{2^{n-1} \cdot U_{\text{LSB}}}{\sqrt{2}} \quad (9.33)$$

Die effektive Rauschspannung U_{Neff} entsteht durch den Quantisierungsfehler bei der Digitalisierung bzw. Analogwertbildung infolge der begrenzten Auflösung des entsprechenden Umsetzers. Wie die Übertragungsfunktion (Bild 9.1) eines ADU zeigt, entsteht anstelle der linear ansteigenden Ausgangsspannung ein treppenförmiger Verlauf. Die Differenz eines idealen Spannungsverlaufes (DAU mit $n \rightarrow \infty$) mit den jeweiligen Amplitudenstufen der Treppenfunktion liefert angenähert eine sägezahnförmige Fehlerkurve der maximalen Amplitude $\pm \frac{1}{2} U_{\text{LSB}}$. Der Effektivwert dieses Sägezahns ergibt sich daher entsprechend Gl. (9.34) zu

$$U_{\text{Neff}} = \frac{U_{\text{LSB}}}{2\sqrt{3}} \quad (9.34)$$

Werden die Ausdrücke Gl. (9.33) sowie (9.34) in Gl. (9.32a) eingesetzt, so kann der theoretische Signal-Rauschabstand SNR eines ADU bestimmt werden

$$\text{SNR} = \frac{2^{n-1} U_{\text{LSB}} \sqrt{3}}{\sqrt{2} \cdot \frac{1}{2} U_{\text{LSB}}} = \frac{\sqrt{3}}{\sqrt{2}} \cdot 2^n = 1,225 \cdot 2^n \quad (9.35a)$$

oder ausgedrückt in dB entsprechend Gleichung (9.32b):

$\text{SNR} = 20 \cdot (\log 1,225 + n \cdot \log 2) \text{ [dB]} = 1,76 + n \cdot 6,02 \text{ [dB]} \quad (9.35b)$

Zu berücksichtigen ist allerdings, daß der Signal-Rauschabstand SNR gemäß Gl. (9.35b) aufgrund der vernachlässigten parasitären Effekte (Schaltzeiten, Nichtlinearitäten, u.a.) bei technischen ADU nicht erreicht werden kann.

9.8.2 Effektive Auflösung (ENOB)

Wie die Gleichungen (9.35) erkennen lassen, hängt der Signal- Rauschabstand SNR von der in bit angegebenen Auflösung n des DAU bzw. ADU ab. Hierbei ist allerdings zu berücksichtigen, daß real meßbare SNR-Werte um einige dB unter diesen theoretischen Werten liegen. Zu beachten ist weiterhin, daß sich bei geringer Aussteuerung des DAU das Signal-Rausch-Verhältnis verschlechtert. Aus den Gleichungen (9.35a) bzw. (9.35b) läßt sich bei gemessenem SNR_M die effektive Auflösung ENOB (effective number of bits) berechnen:

$$\text{ENOB} = \frac{\text{SNR}_M \text{ [dB]} - 1,76}{6,02} \quad (9.36)$$

Wie Gleichung (9.36) zeigt, ist damit die effektive Auflösung ENOB aufgrund des gemessenen Signal-Rauschabstandes SNR_M niedriger als die rein statisch ermittelte Auflösung des Umsetzers. Dieser Sachverhalt ist beispielsweise zu berücksichtigen bei Messungen mit digitalen Speicheroszilloskopen (DSO).

9.8.3 Klirrfaktor (THD)

Eine weitere dynamische Kenngröße ist der Klirrfaktor k ($THD \cong$ total harmonic distortion), wichtig besonders für den Bereich der digitalen Signalverarbeitung. Dieser Parameter kann bestimmt werden, wenn eine unverzerrte sinusförmige Wechsellspannung $U_e(t)$ zunächst mit einem ADU digitalisiert und anschließend mit einem DAU in eine analoge Ausgangsspannung $U_a(t)$ umgesetzt wird. Durch die Quantisierung sowie aufgrund von Nichtlinearitäten enthält $U_a(t)$ harmonische Oberwellen, die für den Klirrfaktor maßgebend sind. Entsprechend Gl. (9.37) ergibt sich der Parameter k .

$$k = \sqrt{\frac{U_2^2 + U_3^2 + U_4^2 + \dots + U_i^2}{U_1^2 + U_2^2 + U_3^2 + U_4^2 + \dots + U_i^2}} \quad (9.37)$$

Da die Amplituden der Oberwellen mit wachsender Ordnung stark abnehmen, wird der Fehler i.a. vernachlässigbar klein, wenn die Effektivwerte in Gl. (9.37) bis zur sechsten Oberwelle ($i = 7$) eingesetzt werden.

9.9 Lerntest/Wissensfragen

1. Nach welchen Prinzipien können ADUs realisiert werden ?
2. Welches ADU-Prinzip wird verwendet, wenn in Echtzeit Signale im GHz-Bereich erfaßt werden sollen ?
3. Wie läßt sich der Signal-Rauschspannungsabstand SNR eines ADU bestimmen ?
4. Was versteht man unter effektiver Auflösung (ENOB) eines ADU ?